

1 介绍

S32K 系列进一步扩展了汽车行业中高度可扩展的 Arm® Cortex® MCU 产品组合。它建立在 KEA 系列的传统基础上，同时引入了更高的内存选项以及更丰富的外设集，将功能扩展到各种汽车应用中。

S32K 系列器件采用 2.70–5.5V 电源并专注于汽车环境稳健性，非常适合电气恶劣环境中的各种应用。这些器件针对提供低引脚数选项的成本敏感型应用进行了优化。

S32K 系列提供广泛的存储器、外设和封装选项。它们共享通用外设和引脚数，允许开发人员在 MCU 系列内或 MCU 系列之间轻松迁移，以利用更多内存或功能集成。这种可扩展性允许开发人员针对其最终产品平台在 S32K 系列上进行标准化，最大限度地提高硬件和软件的重用率并缩短上市时间。

以下是 S32K 系列 MCU 的一般特性：

- 32位ARM Cortex-M4内核，具有IEEE-754兼容的FPU，执行频率高达112MHz。
- 可扩展的内存最高达2MB的闪存和最高达256KB的SRAM。
- 具有芯片模拟比较器和多个12位ADC的精密混合信号能力。
- 功能强大的定时器，适用于广泛的应用，包括电机控制、照明控制和车身应用。
- 串行通信接口，如LPUART、LPSPI、LPI2C、FlexCAN、CAN-FD和FlexIO。
- 符合SHE规范的安全模块。
- 单个电源（2.70-5.5V），具有全功能的闪存程序/擦除/读取操作。
- 功能安全符合ISO26262标准，具有内部看门狗、电压监视器、时钟监视器、内存保护和ECC。
- 环境运行温度范围：
 - -40°C至+105°C
 - -40°C至+125°C
 - -40°C至+150°C
- 软件支持：S32软件开发工具包（SDK），S32 Design Studio（S32DS）。

目录

1 介绍.....	1
2 电源系统	2
2.1 大容量和退耦电容器	5
2.2 MCU 上电斜率	6
3 时钟电路	6
3.1 EXTAL 和 XTAL 引脚	7
3.2 对振荡器电路的 PCB 布板的建议	8
4 调试和编程接口	11
4.1 复位系统	11
4.2 JTAG 和跟踪接口	12
4.3 调试连接器引脚	13
5 模拟比较器接口	15
6 通信模块	17
6.1 LPUART 模块的 LIN 接口	17
6.2 FlexCAN 模块的 CAN 接口	20
6.3 以太网 MAC 接口	24
7 Quad 串行外设接口	25
8 未使用的引脚	28
9 CAD/CAE 原理图符号和 PCB 封装	30
10 通用电路板布板指南	30
10.1 布线建议	30
10.2 接地	31
10.3 布板时对 EMI/EMC 和 ESD 的考虑事项	32
11 PCB 分层规划	34
12 注入电流	34
13 参考资料	34
14 修订历史	35



2 电源系统

后面的部分描述了电源配置的不同选项，以及电源和接地引脚的正确连接。

表1. S32K1xx-电源引脚和电源域

MCU引脚名称	描述	正常运行电压	S32K1xx单片机封装-引脚号						
			176 LQFP	144 LQFP	100 BGA	100 LQFP	64 LQFP	48 LQFP	32QFN
VDD	供电电压	+3.3V 或 +5.0V	18	11	E5	10	7	5	3
			39	32	E6	38	41	31	21
			59	51	F5	61	-	-	-
			77	67	F6	87	-	-	-
			110	91	-	-	-	-	-
			129	124	-	-	-	-	-
			152	-	-	-	-	-	-
172	-	-	-	-	-	-			
VDDA ¹	模拟电源电压	VDD	20	13	E4	11	8	6	-
VREFH ²	ADC参考电源高	≤VDDA	21	14	E3	12	9	-	-
VREFL	ADC参考电源低	VSS/GND	22	15	E2	13	-	-	-
VSS ³	电源接地	VSS/GND	19	12	D4	14	10	30	4
			23	16	D7	37	40	7	20
			38	31	G4	60	-	-	-
			58	50	G7	86	-	-	-
			76	66	-	-	-	-	-
			109	90	-	-	-	-	-
			130	123	-	-	-	-	-
			151	-	-	-	-	-	-
171	-	-	-	-	-	-			

1. 所有 VDD 和 VDDA 引脚必须短接并从外部 PCB 连接在一起。每个电源引脚都必须使用一个退耦电容器，并且必须为 VDD 和 VDDA 域使用一个本地大容量/旁路电容器。
2. VREFH 必须等于或小于 VDD 和 VDDA。
3. VSS 和 VREFL 必须在封装级别短接到 GND。

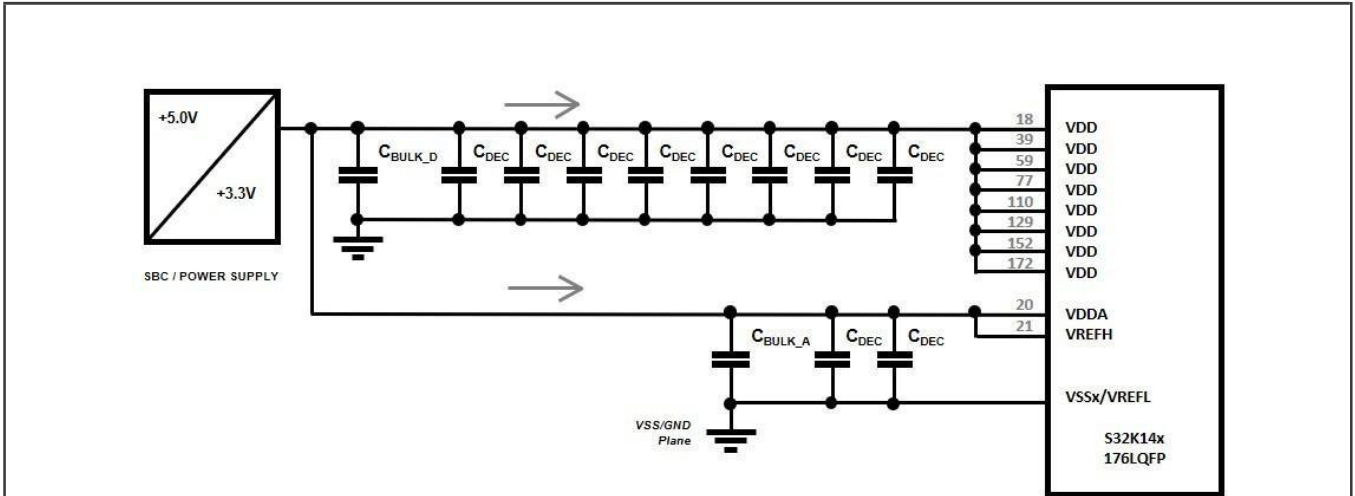


图1. S32K14x-176LQFP封装的电源引脚和域

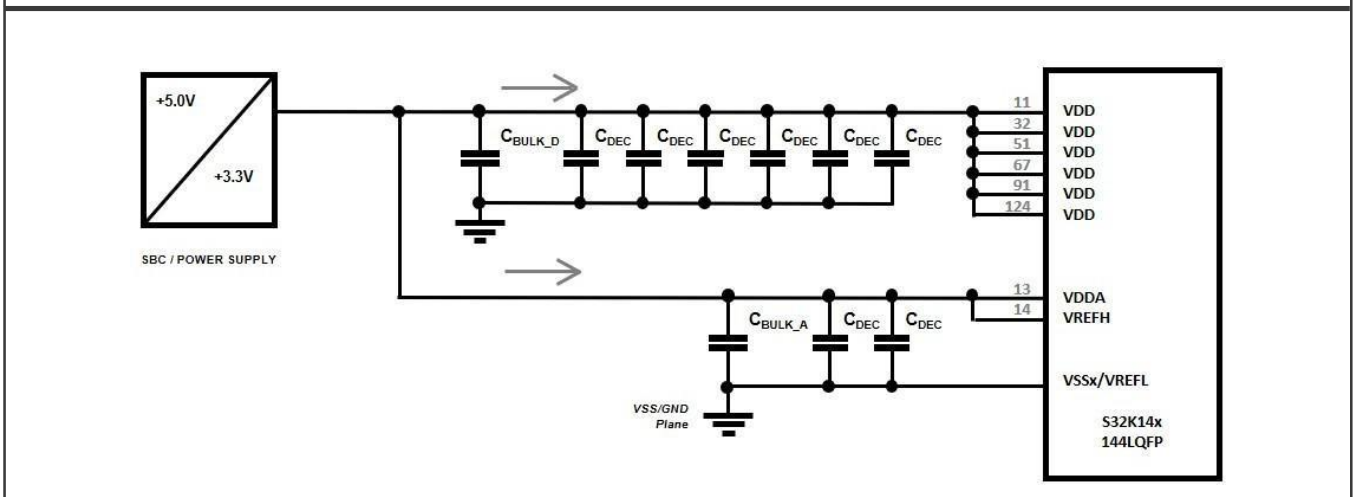


图2. S32K14x-144LQFP封装的电源引脚和域

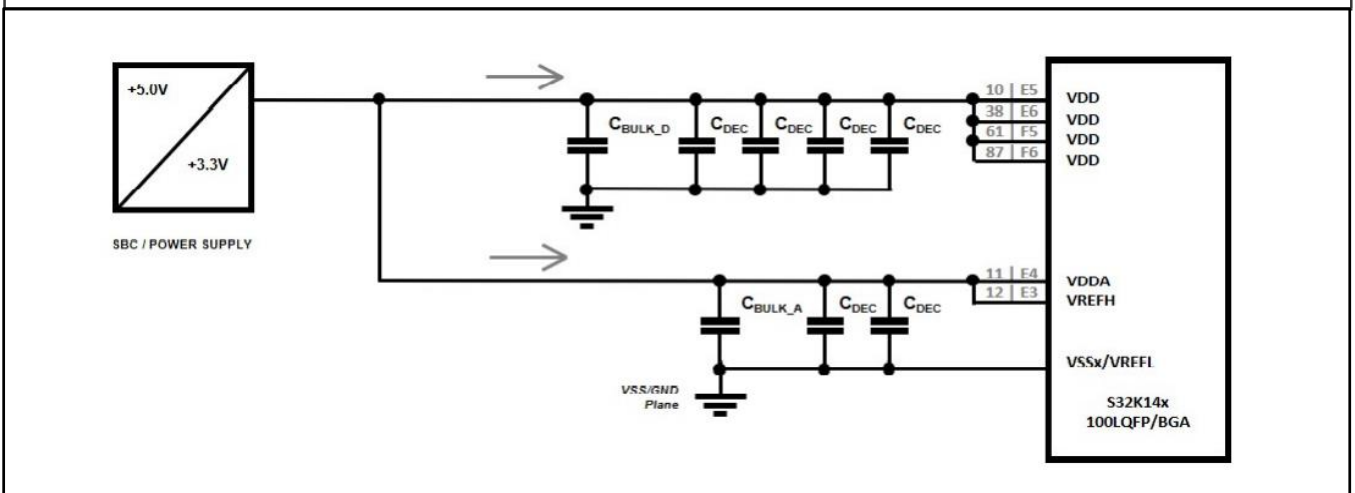


图3. S32K14x-100LQFP和100BGA封装的电源引脚和电源域

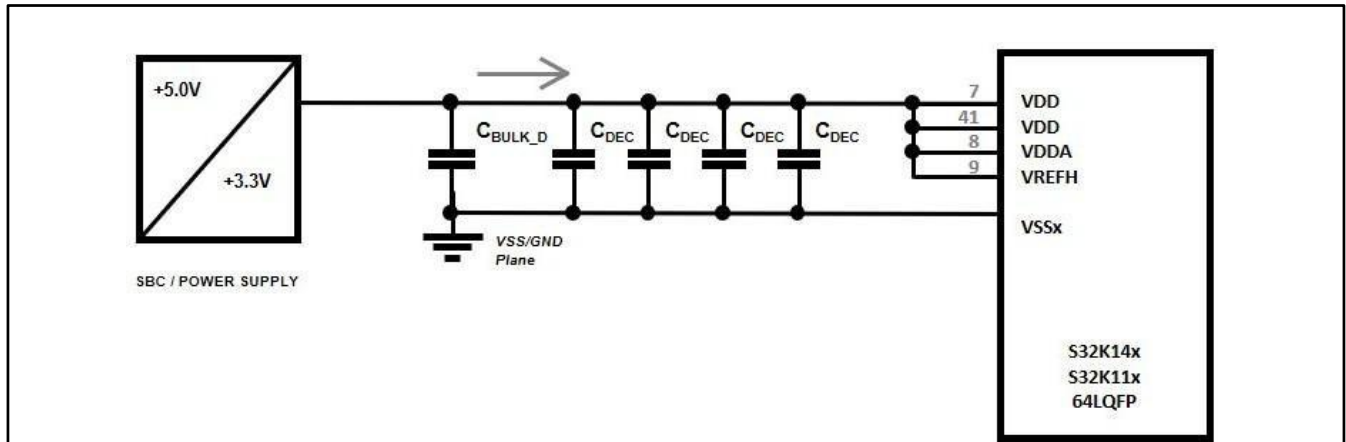


图4. S32K14x和S32K11x-64LQFP封装的电源引脚和电源域

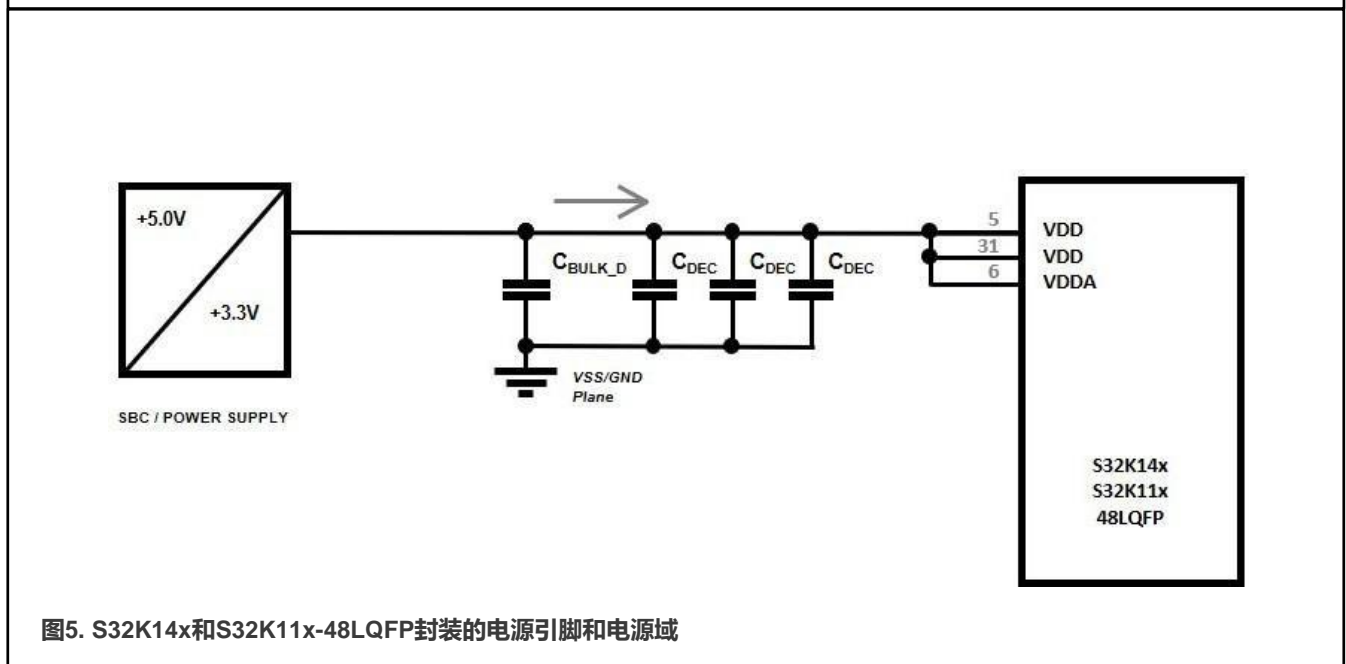


图5. S32K14x和S32K11x-48LQFP封装的电源引脚和电源域

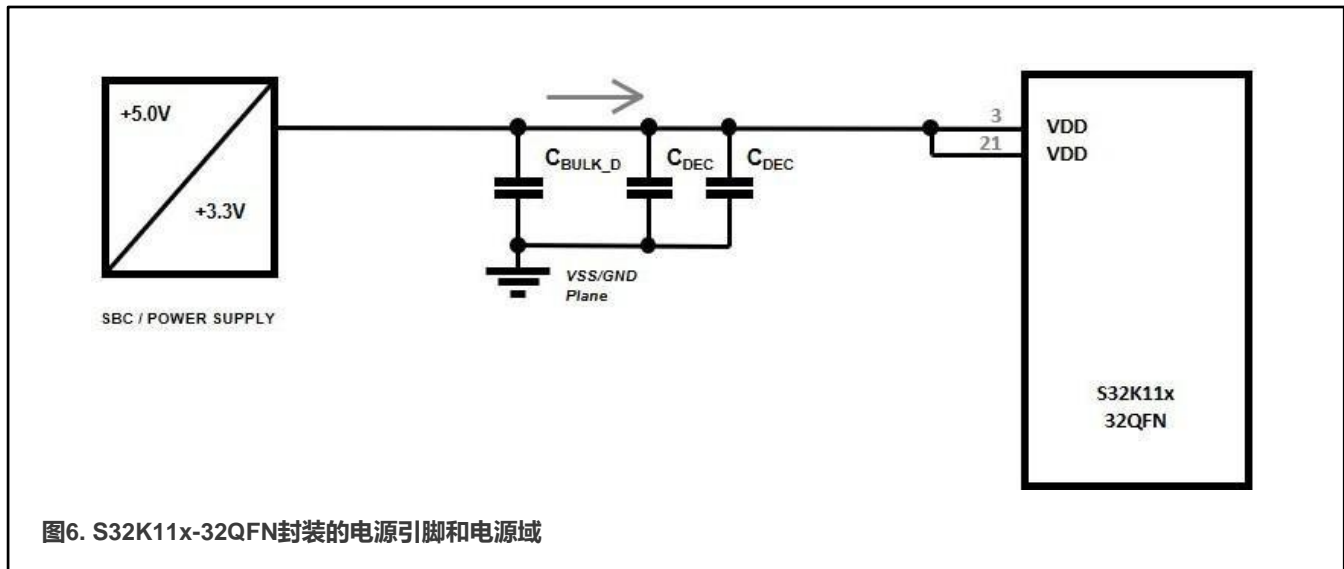


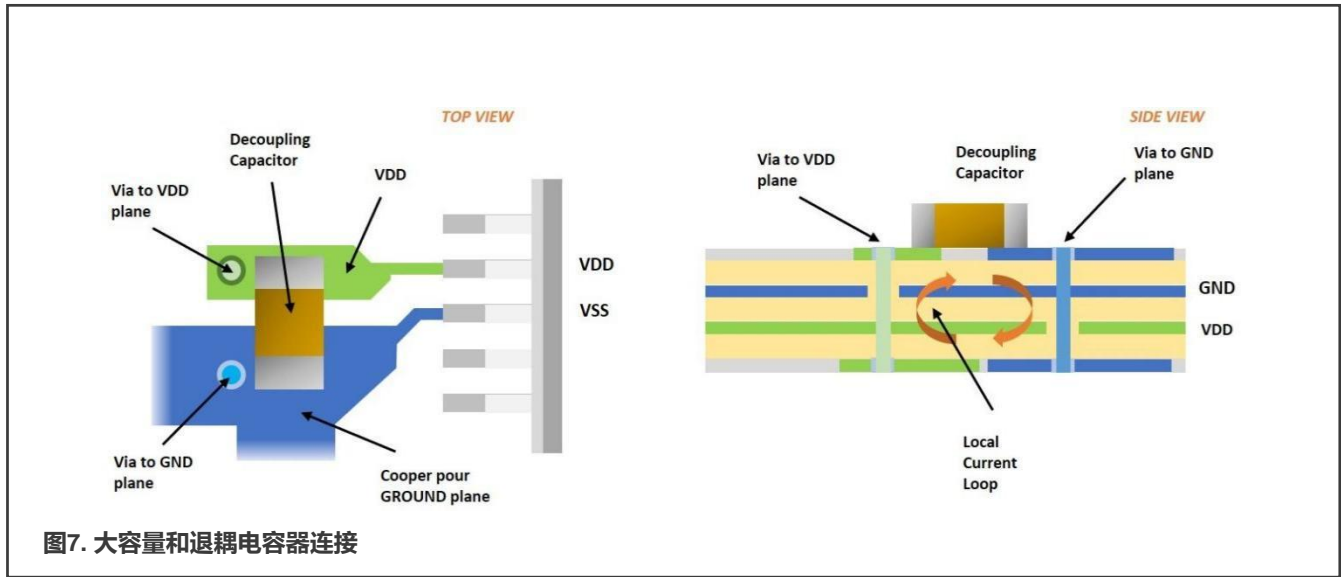
表2. S32K1xx-大容量/旁路和退耦电容器

符号	特性	参数	描述
C_{BULK_D}	X7R陶瓷电容	10 μ F	本地电源域的大容量/旁路电容器。
C_{BULK_A}	X7R陶瓷电容	10 μ F	本地电源域的大容量/旁路电容器。 ^{1,2}
C_{DEC}	X7R陶瓷电容	100nF	每组电源域的退耦电容。 ^{1,2}

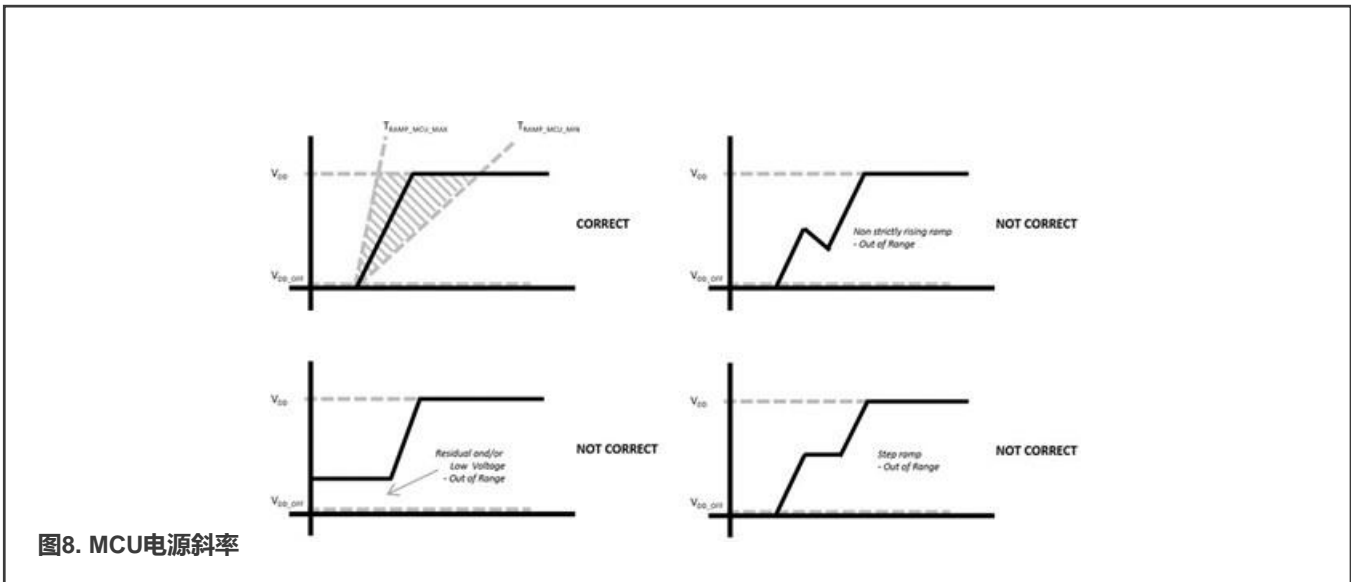
1. 所有 VDD 和 VDDA 引脚必须短路并在通过外部 PCB 连接到一起。
2. X7R 陶瓷电容。

2.1 大容量和退耦电容器

大容量/旁路电容器和退耦电容器的有效性取决于最佳放置和连接类型。大容量电容器充当电源引脚的本地电源，靠近退耦电容器并尽可能靠近指定的参考电压引脚。退耦电容器使电源、MCU和接地参考之间的电流环路尽可能短，以应对高频瞬变和噪声。因此，所有退耦电容应尽可能靠近各自的电源引脚放置；退耦电容器的接地侧应该有一个通向焊盘的通孔，该通孔直接向下连接到内部接地层。电容器不应通过长走线连接到电源层。



2.2 MCU 上电斜率



在S32K1xx数据表中，有一个参数称为“MCU上电斜率”，具有最大和最小限制。在单片机通电期间，电源必须确服从VDDOFF到操作电压VDD这个范围内的斜率。违反规范的结果会导致MCU的意外行为、操作卡住或损坏。

3 时钟电路

S32K1xx具有以下时钟源：

- 快速内部参考时钟（FIRC）：48MHz。
- 慢速内部参考时钟（SIRC）：8MHz。
- PLL：外部振荡器作为输入源。
- 外部方波输入时钟：高达50MHz。
- 外部振荡器时钟（OSC）：4-40MHz。

FIRC, SIRC是内部的, 不必从硬件设计的角度来考虑。外部振荡器的工作范围为4-40MHz。它提供了一个输出时钟, 可以提供给PLL或用作某些外设的时钟源。当使用外部振荡器作为PLL的输入源时, 外部振荡器的频率范围应为8-40MHz。

3.1 EXTAL和XTAL引脚

这些引脚为晶体提供了控制内部时钟发生器电路的接口。EXTAL是晶体振荡器放大器的输入端。XTAL是晶体振荡器放大器的输出。皮尔斯振荡器提供了一个鲁棒、低噪声和低功耗的外部时钟源。它是为具有典型晶体振荡器的最佳启动边缘而设计的。S32K1xx支持从4MHz到40MHz的晶体或谐振器。EXTAL、XTAL引脚的输入容量为7pF。

表3. S32K1xx-EXTAL和XTAL引脚

MCU 引脚名称	功能	信号描述	S32K1xx-单片机引脚号						
			176 LQFP	144 LQFP	100 LQFP	100 BGA	64 LQFP	48 LQFP	32 QFN
PTB6	XTAL	外部晶体输出	25	18	16	F1	12	9	6
PTB7	EXTAL	外部晶体输入	24	17	15	E1	11	8	5

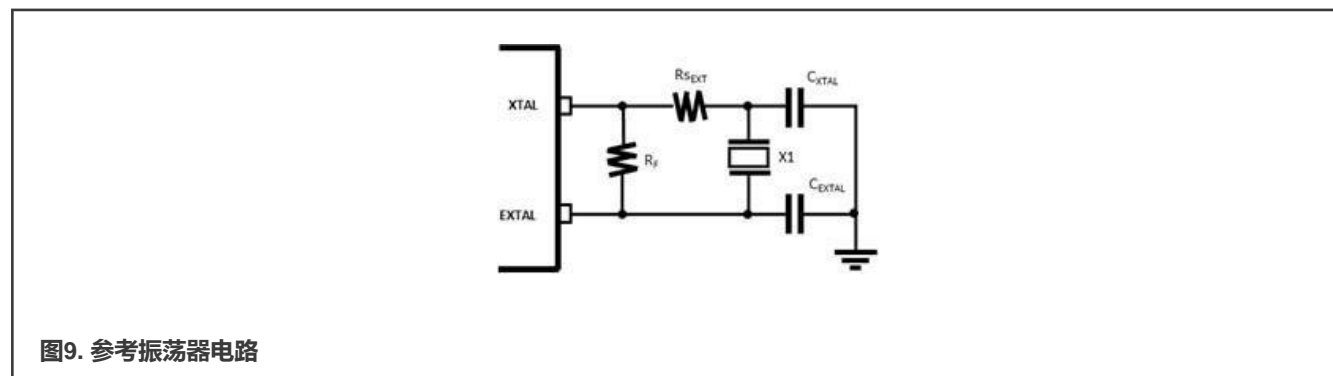


表4. 振荡器电路的组件

符号	描述
RS_{EXT}^1	串联电阻
R_F	反馈电阻 <ul style="list-style-type: none"> 当选择低增益时, 内部R_F将被选择, 外部R_F不需要。 当选择高增益时, 外部R_F (1M欧姆) 需要连接使晶体正常运行。对于外部电阻, 我们允许最高达5%的公差。
X_1	石英晶体/陶瓷谐振器

表4. 振荡器电路的组件 (续)

符号	描述
C _{XTAL}	在XTAL引脚上的外部负载电容器
C _{EXTAL}	在EXTAL引脚上的外部负载电容器

1. R_{SEXT}和负载电容器的值取决于晶体的规格和电路板的电容。我们建议客户与零件制造商一起对其PCB上的晶体电路各参数进行评估和表征。

3.2 对振荡器电路的 PCB 布板的建议

晶体振荡器是一种模拟电路，必须按照模拟板布局规则精心设计：

- 建议将PCB发送给晶体制造商，以确定负振荡裕度以及关于和电容器的最佳值。数据表中有包括续能电容器的建议。这些值以及预期的PCB、引脚等杂散容量值应作为起点。
- XTAL/EXTAL引脚、晶体和外部电容器之间的信号走线必须尽可能短，这些走线应该只连接到所需的振荡器组件引脚，而不能连接到任何其他设备或组件。单片机和外部振荡器之间的连接不应该有超过一个接地过孔。这尽量减少了寄生电容和对串扰和电磁干扰的敏感性。
- 保持其他数字信号线，特别是时钟线、模拟和状态频繁切换的信号线，尽可能远离晶振连接。数字信号工作时带来的串扰可能会影响振荡器信号的小振幅。
- 晶振位置下方应放置接地区。该地平面必须是连接到 S32K1XX 的 VSSx 参考的干净地。切勿将接地保护环连接到板上的任何其他接地信号。还要避免实施接地回路。
- 主振荡回路电流在晶体和负载电容器之间流动。该信号路径（从晶体到晶体）应保持尽可能短，并应具有对称的布局。因此，两个电容器的接地连接应始终尽可能靠近在一起。

下图显示了振荡器布局的推荐位置和布线。

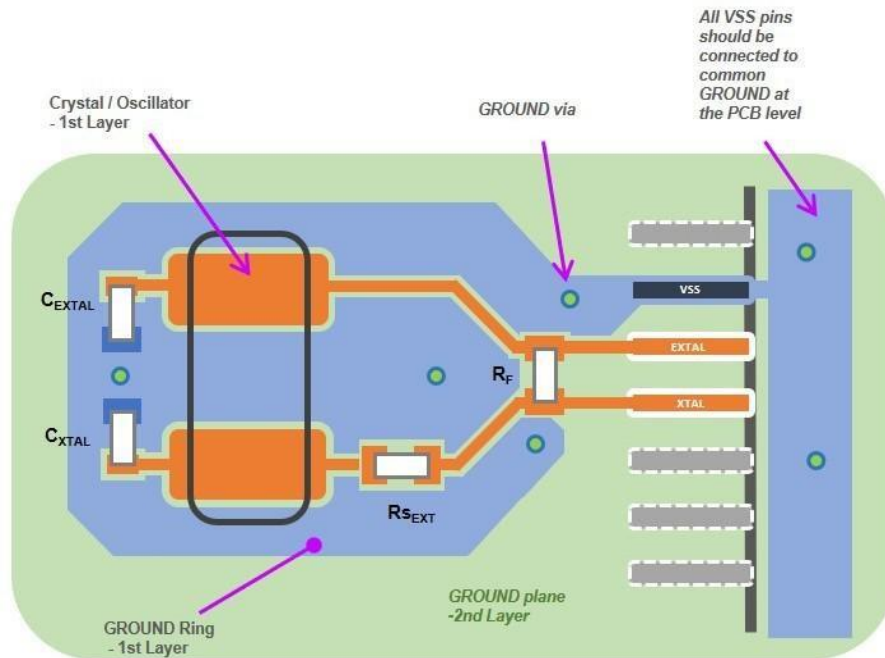


图10. 建议的晶体振荡器布局

在 $g_{mXOSC} > 5 \times g_{merit}$ 时，晶体振荡器电路提供了一个非常安全的稳定振荡， $g_{merit} = 4 \times (ESR_{OSC} + R_{S_{EXT}}) \times (2\pi \times F_{OSC})^2 \times (C_{O_{OSC}} + C_{LOAD})^2$

其中：

表5. 跨导率方程式-参数

参数	描述
g_{mXOSC}	内部振荡器电路的跨导率
F_{OSC}	外部晶体振荡的频率
ESR_{OSC}	外部晶体的等效串联电阻
$C_{O_{OSC}}$	外部晶体的并联电容
C_{LOAD}	外部晶体上的总负载电容 $C_{LOAD} = C_S \left(\frac{C_{XTAL} + C_{EXTAL}}{C_{XTAL} \times C_{EXTAL}} \right)$ 为了使频率准确，振荡器电路必须显示与晶体调整后的负载电容相同的晶体负载电容。频率稳定主要要求负载电容恒定。外部电容器和用于调整所需的值以达到晶体制造商指定的值。

表格在下一页继续.....

表5. 跨导率方程式-参数 (续)

参数	描述
C _s	由于PCB走线, 引脚上的杂散或寄生电容, 5pF~7pF。
C _{EXTAL}	在EXTAL引脚上的外部负载电容。
C _{XTAL}	在XTAL引脚上的外部负载电容。
R _{S_{EXT}}	XTAL引脚和外部晶振之间连接外部串联电阻以进行限流, 应谨慎选择R _S 以具有适当的振荡幅度, 以保护晶振或谐振器件并满足适当的振荡启动条件, 并防止振荡器基频的奇次谐波带来的干扰。 如果所选晶振或振荡器的功耗低于晶振供应商指定的驱动电平(uW), 则不建议插入R _S , 其值为0Ω。可以通过考虑由和形成的分压器来获得初始值的近似值。因此, 的值等于的电抗。这里: $R_{S_{ext}} = 1/(2\pi \times F_{OSC} \times C_{xtal})$

例如, 在S32K1xz 微控制器中设计振荡器回路, 频率范围为 8MHz-40MHz, 并选择 AT-16.000MAGE-x-16MHz/TXC 晶体, 具有以下特征:

表6. 皮尔斯振荡器设计示例

参数	说明	值	单位
F _{OSC}	外部频率 晶体振荡	32	MHz
ESR _{OSC}	外部晶体的等效 串联电阻	50	Ω
R _{S_{EXT}}	串联电阻	100	Ω
C _{O_osc}	外部晶体的并联电容	10	pF
C _{LOAD}	外部晶体上的总负载电容	10.5	pF
C _s	由于PCB走线导致引脚上的 损耗或寄生电容	7	pF
C _{EXTAL}	在EXTAL引脚上的外部负 载电容	7	pF
C _{XTAL}	在XTAL引脚上的外部负 载电容	7	pF

$$g_{\text{merit}} = 4 \times (60 + 100) \times (2\pi \times [16 \times 10^6])^2 \times ([12 \times 10^{-12}] + [8 \times 10^{-12}])^2$$

$$g_{\text{merit}} = 2.587 \text{mA/V}$$

$$5 \times g_{\text{merit}} = 12.935 \text{mA/V}$$

由于晶体振荡器跨导 (47mA/V) 高于 $5 \times g_{\text{merit}}$ ，增益裕度的估计足以启动振荡，并且在数据表中指定的典型延迟之后，预计振荡器将达到稳定振荡。

根据振荡器制造商的分析和特性，可以调整或重新定义 R_{SEXT} 以及 C_{EXTAL} 和 C_{XTAL} 的值，以确保安全的振荡裕度。

为了检查和测量晶体振荡或任何其他信号特性，频率计数器设备很有用。通常不推荐使用示波器和频谱分析仪，因为这些类型的设备通常无法区分主振荡和杂散），另一方面，如果示波器的探头（尽管有些探头是低阻抗的）直接连接到振荡电路，它将停止并可能影响或衰减晶振的振荡。

4 调试和编程接口

4.1 复位系统

复位 MCU 提供了一种从已知的初始条件开始处理的方法。系统复位从片内稳压器的完全稳定后开始，此时系统时钟使用内部参考时钟。

4.1.1 外部引脚复位

对于所有复位源，MCU 都会将 RESET_B 引脚置低，持续至少 128 个总线时钟周期，直到闪存初始化完成。

闪存初始化完成后，RESET_B 引脚被释放，内部芯片复位结束。由外部器件保持 RESET_B 引脚置低会延迟内部芯片复位的结束。

在引脚复位期间，RCM 的 SRS[PIN] 位被置位。因此，应用软件可以通过读取该寄存器来判断是发生了外部引脚 RESET。

如果闪存选项寄存器 (FTFC_FOFT) 中的 RESET_PIN_CFG 被清除，则 RESET_B 引脚在 POR 后被禁用，并且不能再作为复位功能来使用。选择此选项时，在 POR 斜坡期间可能会出现短时间的竞争，此时器件将引脚置低，然后再建立此选项的设置并释放该引脚的复位功能。RESET 引脚功能与标准 GPIO 相同。它可以作为开漏输出运行，因为输出级中只有一个 PMOS 器件。

该位通过系统复位和低功耗模式保留。当 RESET_B 引脚功能被禁用时，它不能用作低功耗模式的唤醒源。

注意

当复位脚被禁用并通过 FSEC 寄存器启用了安全性时，只能通过 MDM-AP 寄存器中同时设置批量擦除和系统重置请求字段来执行批量擦除。

复位引脚与其他一些 GPIO 类似，具有内部弱上拉。如果环境和客户应用嘈杂，则必须在复位引脚上直接添加一个连接到 VDD 的外部上拉电阻，以避免发生偶发或意外复位。有关引脚中允许的电压电平和电流参数，请参阅器件数据表。

尽管 MCU 并不直接需要在复位线上增加电容器。在某些情况下，为了增加进一步的 ESD 保护，在 RESET 引脚与地之间添加一个外部电容器。必须根据应用的设计要求选择上拉电阻和电容的值。有关 MCU 可以检测到的最小 RESET 脉冲值，请参见器件数据表。

4.2 JTAG 和跟踪接口

这里显示了许多常用的调试连接器。大多数ARM开发工具都使用符合其中之一信号引出规范的开发工具。在开发ARM电路板时，建议使用标准的调试信号引出接口，以使您更容易连接到调试器。

SWD/SWV引脚复用于JTAG引脚之上，如下表7所示。

表7. S32K1xx-JTAG和SWD信号描述

JTAG 功能	信号描述	MCU端口	S32K1xx-MCU 引脚编号						
			176 Intro LQFP	144 Intro LQFP	100 LQFP	100 BGA	64 Intro LQFP	48 Intro LQFP	32 QFN
TCLK/ SWD_CLK	进入内核的时钟	PTC4	169	140	96	D5	62	46	30
TDI	JTAG测试数据输入	PTC5	168	139	95	D6	61	45	29
TDO	JTAG测试数据输出 /SWV跟踪数据输出 (SWO)	PTA10	164	136	92	C5	58	44	28
TMS/ SWD_DIO	JTAG测试模式 选择/串行线 调试数据 I/O	PTA4	173	142	98	C3	64	48	32
RESET	复位MCU	PTA5	170	141	97	C4	62	47	31

表8. S32K1xx-JTAG和SWD接口

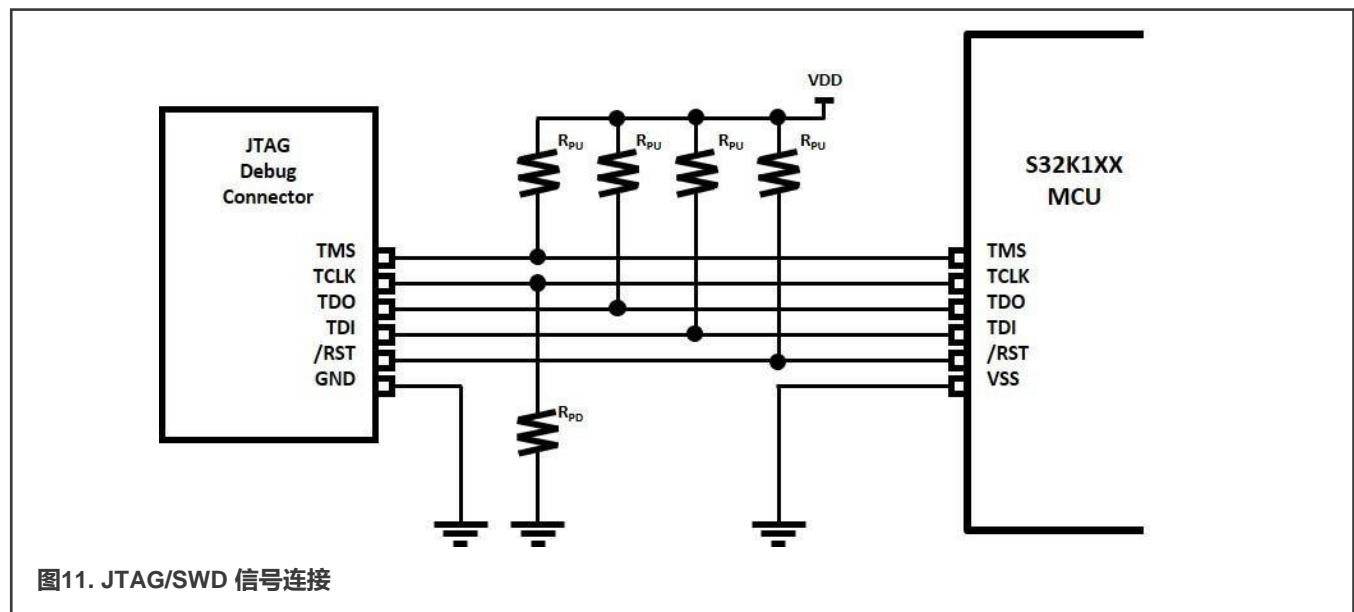
JTAG模式	SWD模式	信号描述	MCU端口	建议	R _{pu} 和R _{pd} 值	I/O电源域
TCK	SWD_CLK	进入内核的时钟	PTC4	下拉	10k-47k	VDD
TDI	-	JTAG测试数据输入	PTC5	上拉	10k-47k	
TDO	-	JTAG测试数据输出/SWV跟踪数据输出(SWO)	PTA10	上拉	10k-47k	

表格在下一页继续.....

表8. S32K1xx-JTAG和SWD接口 (续)

JTAG模式	SWD模式	信号描述	MCU端口	建议	R_{pu} 和 R_{pd} 值	I/O电源域
TMS	SWD_DIO	JTAG测试模式 选择/串行线 调试数据I/O	PTA4	上拉	10k-47k	
RESET	RESET	复位MCU	PTA5	上拉	10k	
GND	GND	地	VSSx	-		VSS

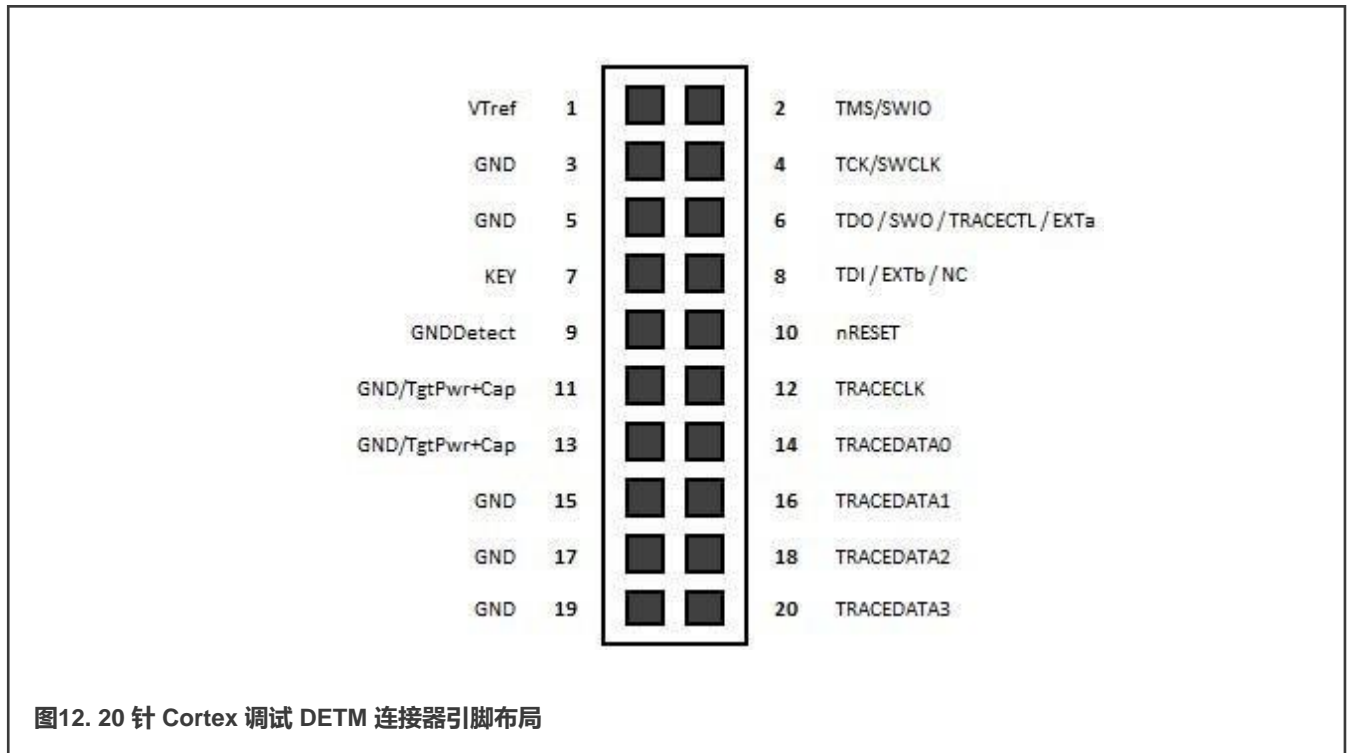
可以增加JTAG信号的外部上/下拉电阻，以增加调试器连接的鲁棒性。



4.3 调试连接器引脚

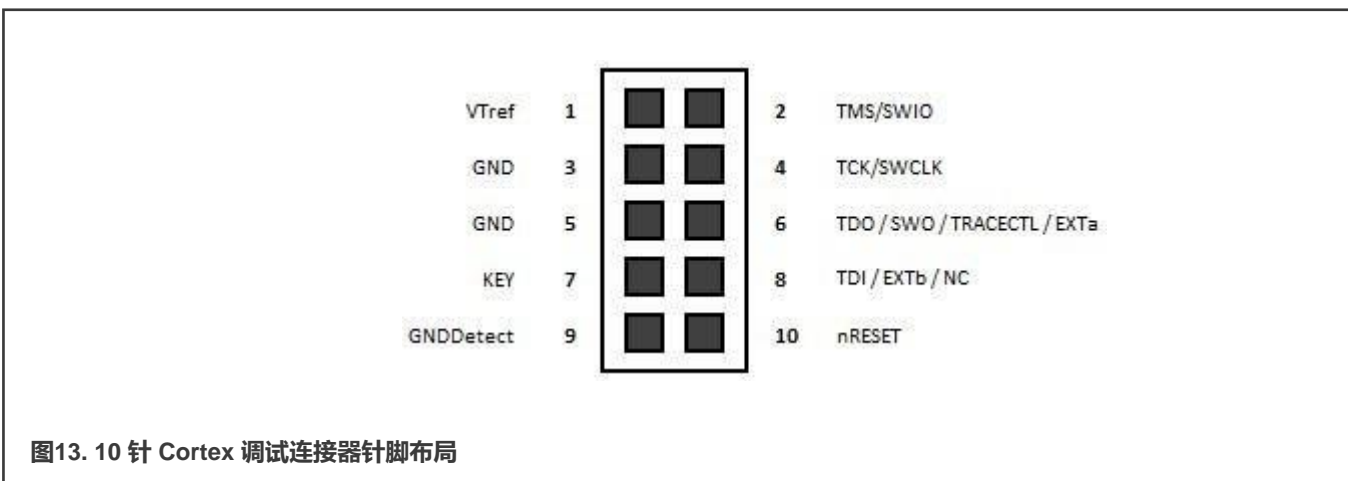
4.3.1 20 针 Cortex 调试 DETM 连接器

一些较新的 ARM 微控制器板使用 0.05 英寸的 20 针接头 (Samtec FTSH-110) 进行调试和跟踪。(灰显的信号在 Cortex-M3 或 Cortex-M4 上不可用。) 20 引脚 Cortex Debug D ETM 连接器支持 JTAG 和串行线调试协议。当使用串行调试协议时，TDO 信号可用于串行线查看器输出以进行跟踪捕获。该连接器还提供了一个 4 位宽的跟踪端口，用于捕获需要更高跟踪带宽的跟踪需求 (例如，当启用 ETM 跟踪时)。



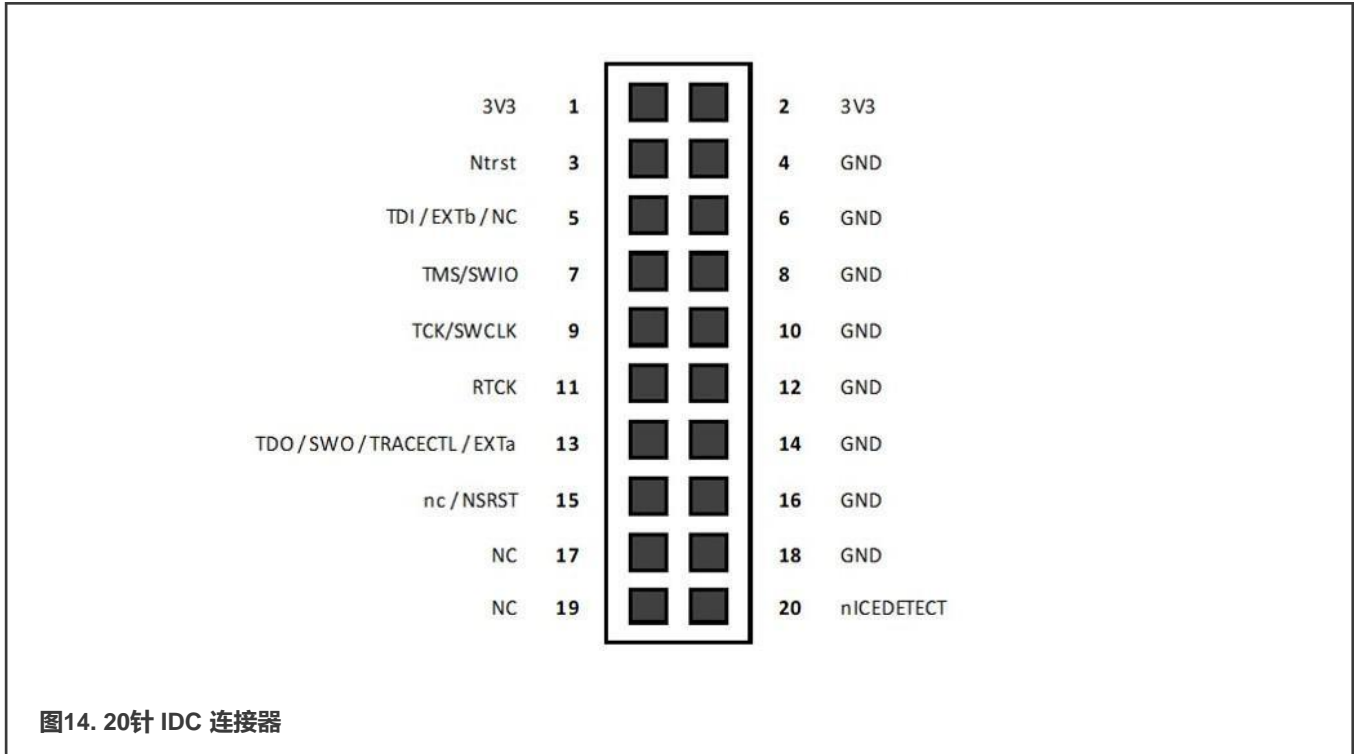
4.3.2 10 针 Cortex 调试连接器

对于不支持 ETM 的器件，您可以使用更小的 0.05 英寸的 10 针连接器（SamtecFTSH-105）进行调试。与 20 针 Cortex 调试 DETM 连接器类似，10 针版本都支持 JTAG 和串行线调试协议。



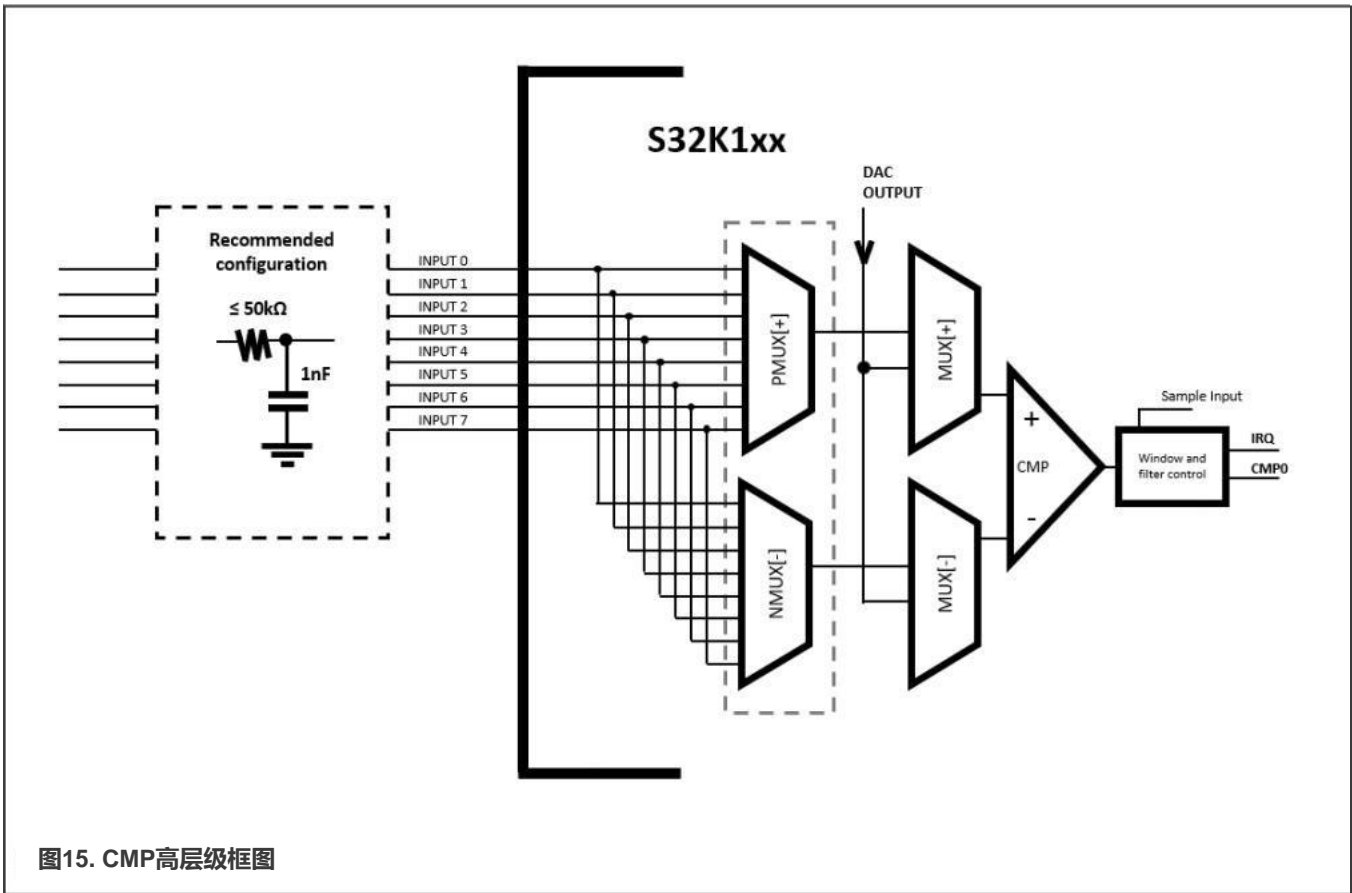
4.3.3 老式 20 针 IDC 连接器

ARM 开发板中常用的调试连接器是 20 针 IDC 连接器。20 针 IDC 连接器排列支持 JTAG 调试、串行线调试（SWIO 和 SWCLK）、串行线输出（SWO）。nICEDETECT 引脚允许目标系统检测是否连接了调试器。当没有接上调试器时，该引脚被拉高。调试器连接将此引脚接到地。这用于一些支持多个 JTAG 配置的开发板。nSRST 连接是可选的；调试器可以通过系统控制块（SCB）复位 Cortex-M 系统，因此顶层的微控制器设计者经常会省略此连接。

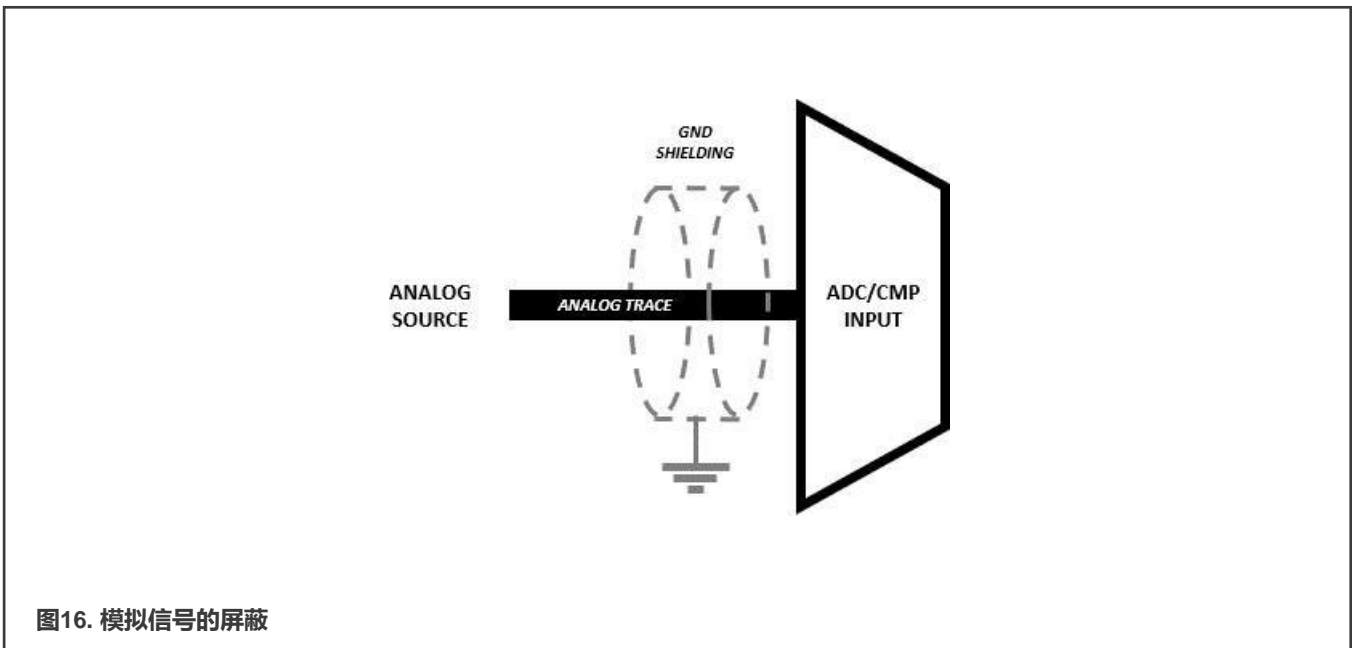


5 模拟比较器接口

比较器（CMP）模块提供了一个用于比较S32K1xx微控制器中的两个模拟输入电压的电路。比较器电路设计为在供电电压范围内运行，称为轨对轨操作。当非反相输入端电平大于反相输入时CMPO为高，当非反相输入端电平小于反相输入时CMPO为低。



由于MCU引脚之间的电感/电容耦合，高速接口或任何GPIO的开关可能会向模拟或比较器输入端引入一些噪声。串扰可以由彼此接近或相互交叉的PCB走线引入。为了避免和减轻高频噪声和任何耦合。请确保模拟比较器输入信号阻抗为50K或更小。（详见图15）



将接地平面和形状放置在敏感的模拟信号旁边，可在 PCB 上提供屏蔽。应注意尽量减少 PCB 上这些类型的信号的走线长度。这可以防止干扰和 I/O 串扰影响信号。由于大而平坦的导体式样，大量金属铜箔具有尽可能低的电阻和尽可能低的电感。地平面作为退耦高频电流的低阻抗返回路径。它还能最大限度地减少电磁干扰/射频干扰（EMI/RFI）的辐射影响。另一方面，地平面还允许高速数字或模拟信号通过传输线（微条或条纹线）技术进行传输，这里有受控阻抗的要求。

6 通信模块

6.1 LPUART 模块的 LIN 接口

本地互连网络（LIN）是一种串行通信协议，为支持汽车网络而设计。作为分层网络的最低级别，当不需要CAN的应用场合，LIN能够与传感器和执行器进行低成本且有效的通信。

LPUART模块的功能支持并包括：

- LIN主/从操作
- 全双工，标准的非返回到零（NRZ）格式
- 可编程波特率（13位调制分频器），具有可配置从4倍到32倍的过采样比
- 传输和接收波特率可以异步操作于总线时钟：
 - 波特率可以独立配置于总线时钟频率
 - 支持在停止模式下的操作
- 中断、DMA或轮询操作：
 - 传输数据寄存器为空，传输完成
 - 接收已满的数据寄存器
 - 接收溢出、奇偶校验错误、帧错误和噪声错误
 - 空闲时接收器检测
 - 接收管脚上的活动边沿
 - 支持LIN协议的断开检测
 - 接收数据匹配
- 硬件奇偶校验的生成和检查
- 可编程的7位、8位、9位或10位字符长度
- 可编程的1位或2位停止位
- 三种接收器唤醒方法：
 - 空闲线唤醒
 - 地址标记唤醒
 - 接收数据匹配
- 自动地址匹配以减少中断服务开销：
 - 地址标记匹配
 - 空闲线地址匹配
 - 地址匹配开始，地址匹配结束
- 可选的13位断开字符生成/11位断开字符检测

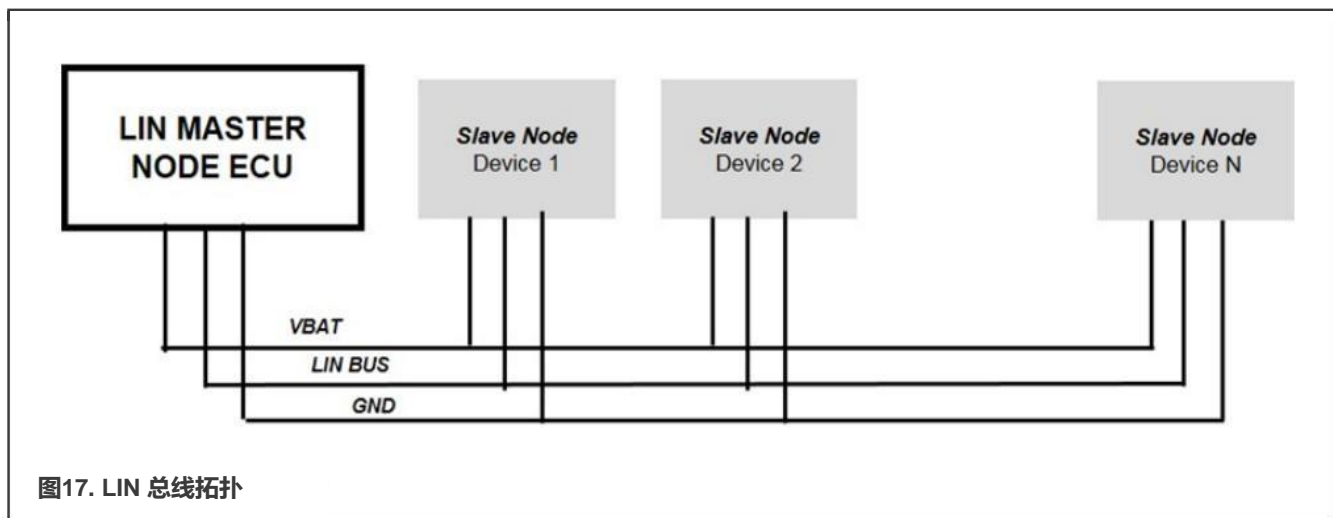
- 可配置的空闲长度检测，支持1、2、4、8、16、32、64或128个空闲字符
- 可选的发送器输出和接收器输入极性
- 硬件流控制支持请求发送（RTS）和清除发送（CTS）信号
- 可选的 IrDA 1.4 返回到零反向（RZI）格式，具有可编程脉冲宽度
- 独立的传输和接收的 FIFO 结构
 - 分离的接收和传输请求的可配置水印

如果接收 FIFO 为非空，接收器在可配置的空闲字符之后维持请求。

表9. LPUART信号描述

信号	描述	I/O
TXD	发送数据。该引脚通常是一个输出，但在单线模式下，只要发送器被禁用或发送方向被配置为接收数据，它就是一个输入（三态）。	I/O
RXD	接收数据。	I
CTS_B	清除发送。	I
RTS_B	请求发送。	O

LIN 总线拓扑使用单个主设备和多个节点，如下所示。将应用模块连接到车辆网络后，可进行诊断和服务。



LIN 发送器是一个具有电流限制和过流发送器关断功能的低边 MOSFET。集成了具有串联二极管结构的可选内部上拉电阻，因此在从节点的应用不需要外部上拉元件。要用作主节点，必须在 VBAT [电池电压] 和 LIN 总线之间并接一个与二极管串联的 1kΩ 外部电阻。从隐性到显性的下降时间和从显性到隐性的上升时间是可选择和受控的，以保证通信质量并减少 EMC 辐射。

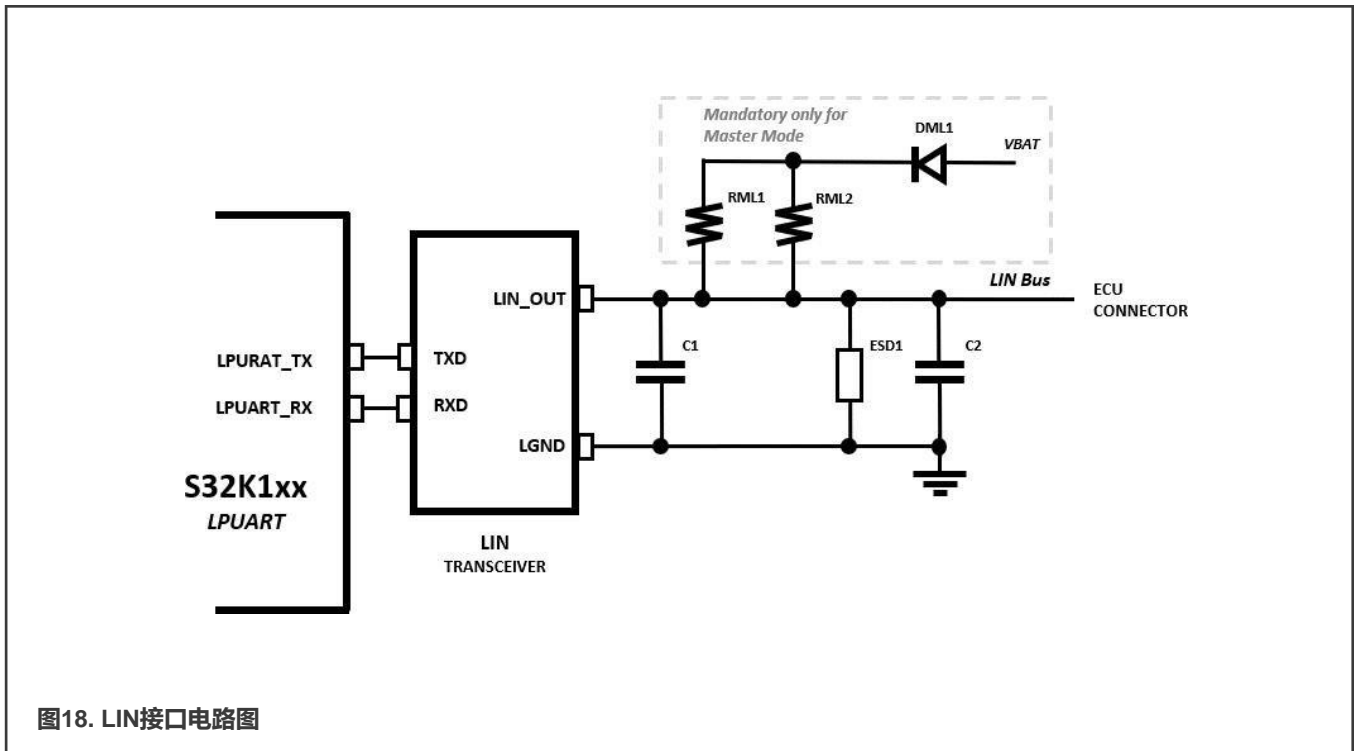


图18. LIN接口电路图

6.1.1 LIN组件数据

表10. LIN组件

参考	零件	安装	备注
DMLIN	二极管	仅对主ECU有强制要求	从LIN到VSUP的反向极性保护。
RML1和RML2	电阻： 2kΩ 功率损耗：250mW 公差：1% 封装尺寸：1206 要求： 完整的主终端的最小额定功率必须是≥500mW	仅对主ECU具有强制性	对于主ECU 如果并联使用2个以上的电阻，则必须以总电阻RM为1kΩ和整个主终端的最小功率损耗的原则选择这些值。 对于从ECU 在PCB布局上不需要RMLIN1和RMLIN2
C1	电容器： 从ECU：典型值为220pF 主ECU：从560pF开始 大约是从节点[CSLAVE]中的值的大约十倍，	强制	主节点的值必须满足LIN规范的原则进行选择。

表格在下一页继续.....

表10. LIN组件 (续)

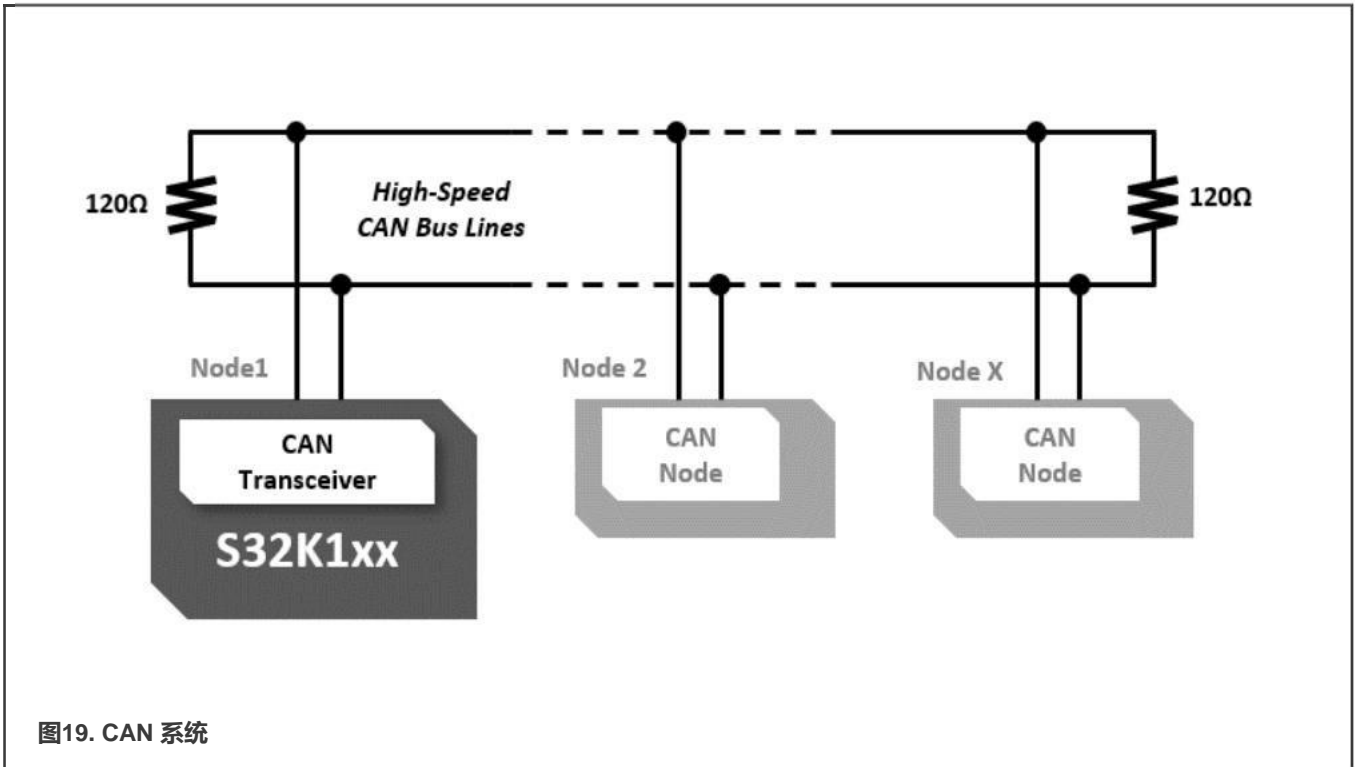
参考	零件	安装	备注
	从而使总的线电容对从节点数量的依赖较小。 公差：10% 封装尺寸：0805 耐压：≥50V		
C2	电容器： 封装尺寸：0805	可选	只有各自的OEM有明确的书面许可时，才允许安装该可选部件。放置在靠接连接器附近。
ESD1	ESD保护 封装尺寸：0603-0805	可选	布板时增加一个额外的ESD保护器件的位置。 只有在相应的OEM有明确的书面许可时，才允许安装该可选部件。放置在靠近连接器附近。

6.2 FlexCAN 模块的 CAN 接口

ISO-11898-2 中规定了 CAN 的物理层特性。该标准规定了使用由标称阻抗为 120Ω (最小为95Ω，最大为140Ω) 的并行线电缆。出于电磁兼容性 (EMC) 的原因，通常需要使用屏蔽双绞线电缆，尽管 ISO-11898-2 也允许使用非屏蔽电缆。CAN 规定在数据速率为 1Mb 时的最大通信线长度为 40m。然而，在较低的通讯数据速率下，可能支持更长的通信线。ISO-11898-2 指定了一种线拓扑，各节点使用短桩连接。

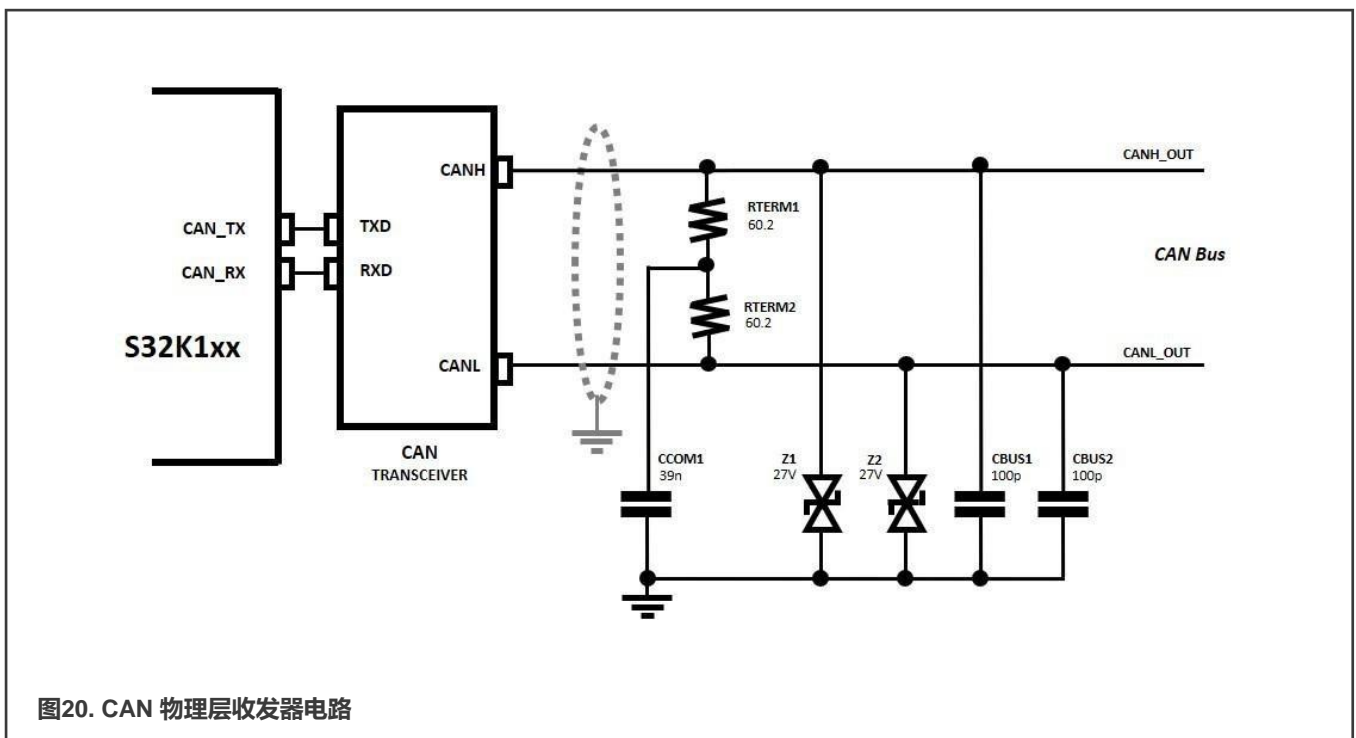
虽然并非专门用于汽车应用，但 CAN 协议旨在满足车辆串行数据总线的特定要求：实时处理、能可靠运行于车辆 EMI 环境中、成本效益和所需的带宽。

每个 CAN 站点都通过收发器器件物理连接到 CAN 总线。收发器能够驱动 CAN 总线所需的大电流，并具有电流保护以防止有缺陷的 CAN 或有缺陷的站点。使用 S32K1xx 微控制器的典型 CAN 系统如 图19 所示。



FlexCAN 模块完全符合CAN协议规范、支持灵活数据速率的 CAN (CAN FD) 协议和 CAN 2.0 B 版协议的完整实现，它支持标准和扩展报文帧以及高达 64 字节的长有效载荷，以更快的速度传输速率高达 8Mbps。报文缓冲区存储在专用于 FlexCAN 模块的嵌入式 RAM 中。有关芯片中配置的报文缓冲区的数量，请参见参考手册中的芯片配置详情。

与大多数其他 CAN 物理层收发器一样，CANH、CANL 和 SPLIT 引脚可以供设计者根据应用连接终端总线。图20 和 图21 显示了 CAN 节点终端的示例。



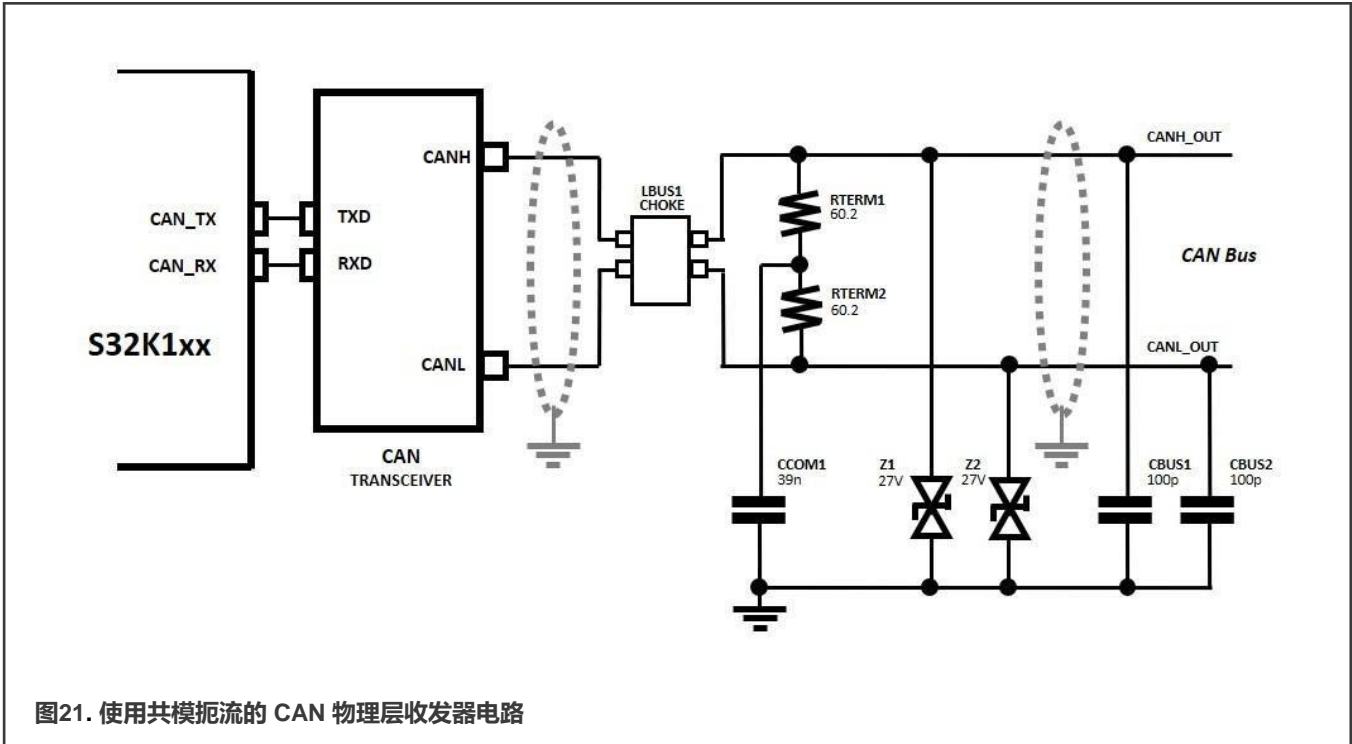



图21. 使用共模扼流的 CAN 物理层收发器电路

6.2.1 CAN 元件数据

表11. CAN元件

参考	描述
	表示高速/中速走线旁边的保护线。保护线的连接使得走线的两端都接地。保护线连接到地平面的线宽每端至少500密耳。与任何受保护导线和保护线之间的间距不得超过20密耳。
CBUS1和CBUS2	电容器 CBUS1 和 CBUS2 不是特别需要的。可以出于 EMC 原因添加它们，在这种情况下，从任一总线线到地的最大电容总和不得超过 300pF。如果还需要齐纳管，则所选齐纳管的寄生电容也必须包括在总电容预算值中。
Z1和Z2	使用齐纳管Z1和Z2可以满足汽车EMC的要求（特别是ESD）。这些器件应放置在连接器附近。
RTERM1, RTERM2和CCOM1	根据节点在 CAN 网络中的位置，它可能需要一个特定的终端。RTERM1、RTERM2 和 CCOM1 必须是它们有助于获得整体的电缆阻抗。在 CAN 网络的总线实现中，只有总线两端的两个节点具有终端电阻。未放置在 CAN 总线末端的节点没有终端。需要进行彻底的分析来维持 CAN 网络的这一要求。 收发器上的 SPLIT 引脚是可选的，设计人员可以选择不使用它。该引脚有助于稳定 CAN 总线的隐性状态，并可在需要时由软件启用或禁用。

表格在下一页继续.....

表11. CAN 组件 (续)

参考	描述
LBUS1-共模扼流圈	在CANH和CANL线上的共模扼流圈可以帮助减少耦合电磁干扰并满足汽车EMC的要求。这种扼流器，连同收发器管脚上的瞬态抑制器，可以大大减少耦合的电磁噪声和高频瞬变。LBUS1并不是特别需要的。

6.2.2 CAN 终端

在传输线中，有两条电流路径，一条将电流从驱动器传送到接收器，另一条提供返回路径返回到驱动器。在 CAN 传输线路中更为复杂，因为有两个信号共享一个公共终端和一个接地返回路径。为了实现可靠的 CAN 通信，传输线中的反射必须尽可能地小。这只能通过合适的电缆终端来完成。图22 和 图23 展示了两种 CAN 终端方案。

在信号转换期间和之后，反射发生得非常快。在较长的线路上，反射更有可能持续足够长的时间，从而导致接收器误读逻辑电平。在短线路上，反射发生得更快，对接收到的逻辑电平没有影响。

6.2.2.1 并行终端

在CAN应用中，总线两端必须终止，因为总线上的任何节点都可以传输/接收数据。链路的每一端都具有等于电缆的特性阻抗的终端电阻，尽管终端电阻的推荐值名义上为120Ω（最小值100Ω，最大值130Ω）。

无论连接了多少节点，网络中都不应该超过两个终端电阻，因为多加的终端会给驱动带来额外的负载。ISO-11898-2建议不要将终端电阻集成到节点中，而是在总线的最远端连接独立的终端电阻。这是为了避免在包含有终端电阻的节点断开时，终端电阻的丢失。该概念还适用于避免将两个以上的终端电阻连接到总线上，或将终端电阻定位在总线中的其他点，而不是在两端。



图22. CAN 总线并行终端

6.2.2.2 带有共模滤波的并行终端

为了进一步提高信号质量，将两端的端接电阻分成两部分，并在两个电阻之间放置一个滤波器电容器CSPLIT。这过滤来自总线的不必要的高频噪声，并减少共模发射。

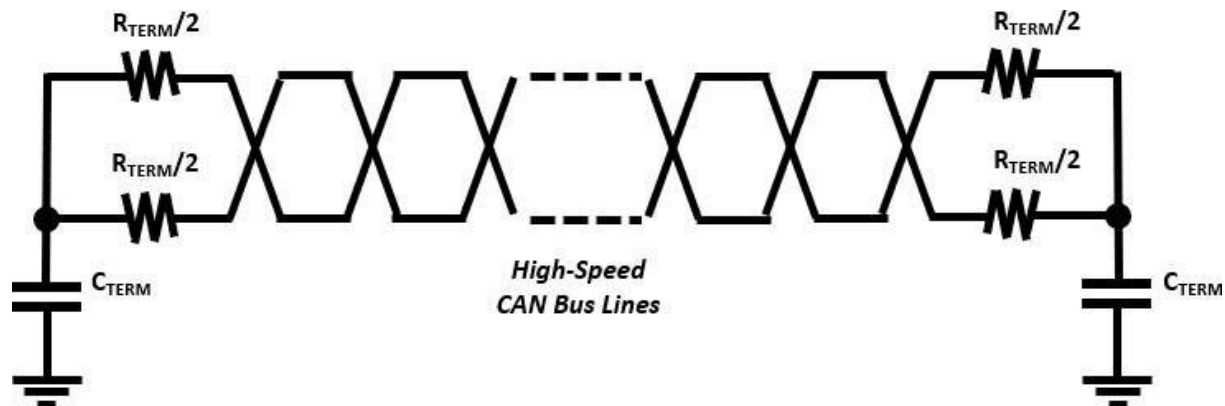


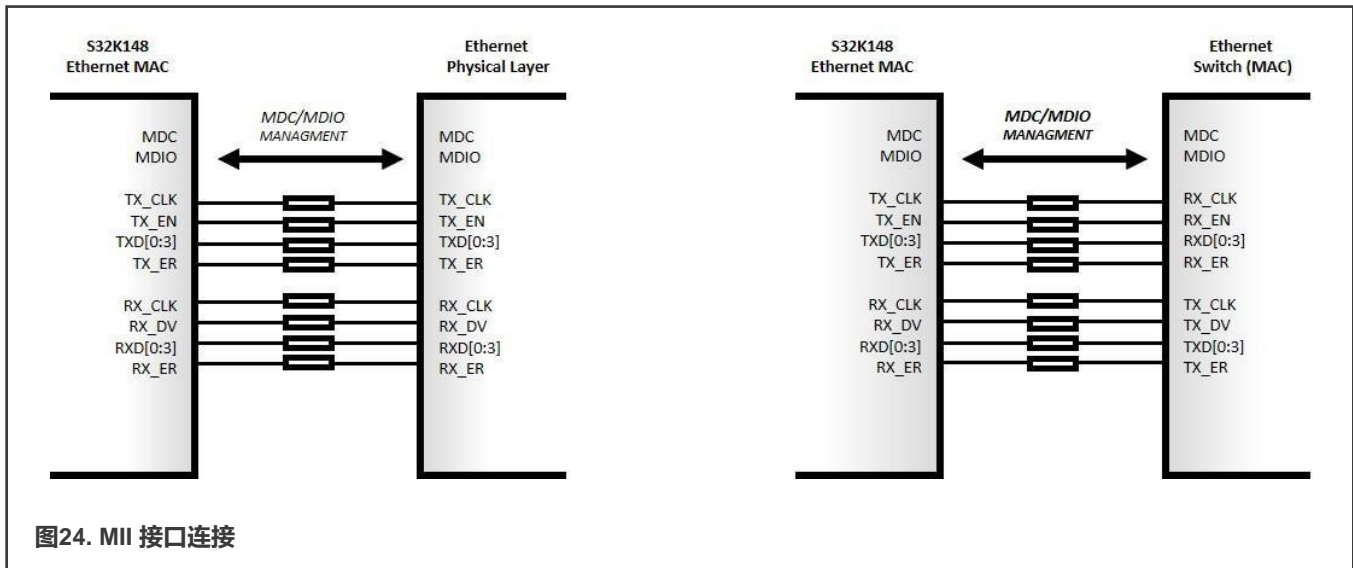
图23. CAN总线-带有共模滤波器的并行传输

6.3 以太网 MAC 接口

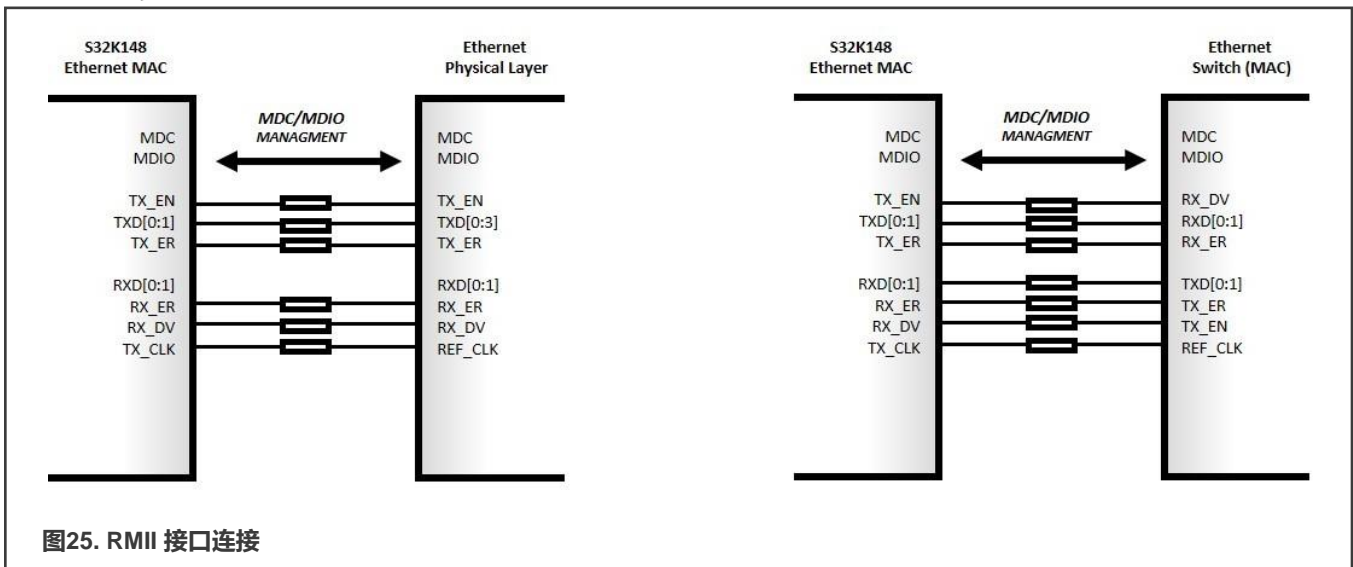
MII/RMII 接口信号可以直接布线到MAC-NET接口，但也可以考虑在 RXCLK、TXCLK 和所有RX/TX信号上串接终端电阻以抑制EMI。MII/RMII 系列终端应放置在以太网物理接口的100个范围内，并把线布到一个不间断的参考平面。33-50欧姆推荐值的串联终端电阻对改善EMI效果良好。

尽管 RMII 和 MII 是同步总线架构，但有许多因素会限制信号走线长度。走线越长，信号在到达目的地时衰减得越厉害，因此更容易受到噪声干扰。较长的走线也会起到天线效应，如果走在表层，会增加 EMI 辐射。如果长走线靠近噪声信号，则不需要的噪声信号可能会作为串扰耦合进来。因此建议保持信号走线长度尽可能短。理想情况下，将走线保持在 6 英寸以下。还建议走线长度匹配，在 MII 或 RMII 总线上保持在 2.0 英寸以内。走线长度的显著差异会导致数据时序问题。在整个设计过程中尽量减少过孔的使用。过孔会使信号走线增加了电容。与任何高速数据信号一样，良好的设计实践告诉我们在整个数据路径中应保持阻抗并避免存在残留部分。

MII信号：图24显示了 MII 接口中的 PHY-MAC 和 MAC-MAC 连接。数据通过4位宽的数据线进行交换，分别处理 TXD[3: 0] 和 RXD[3: 0]。数据传输与传输 (TX_CLK) 和接收 (RX_CLK) 时钟同步。对于 PHY-MAC 接口，这两个时钟信号都由 PHY 提供，并且通常来自标称25MHz运行的外部晶体或来自开关器件上的CLK_OUT信号。当以太网交换机配置为MAC-MAC通信时，交换机提供时钟并充当PHY。



RMII信号：RMII数据通过2位数据信号TXD[1: 0]和RXD[1: 0]进行交换，如 图25 所示。发送和接收信号与共享的参考时钟 REF_CLK同步。

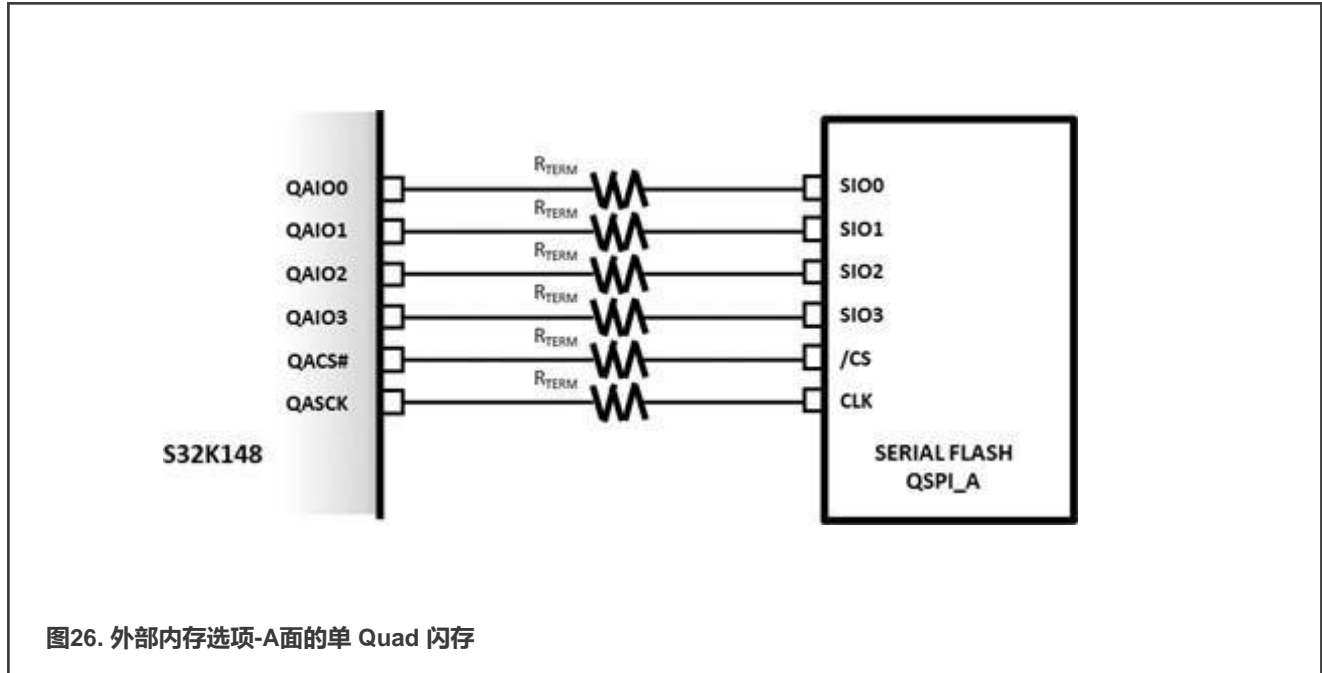


7 Quad串行外设接口

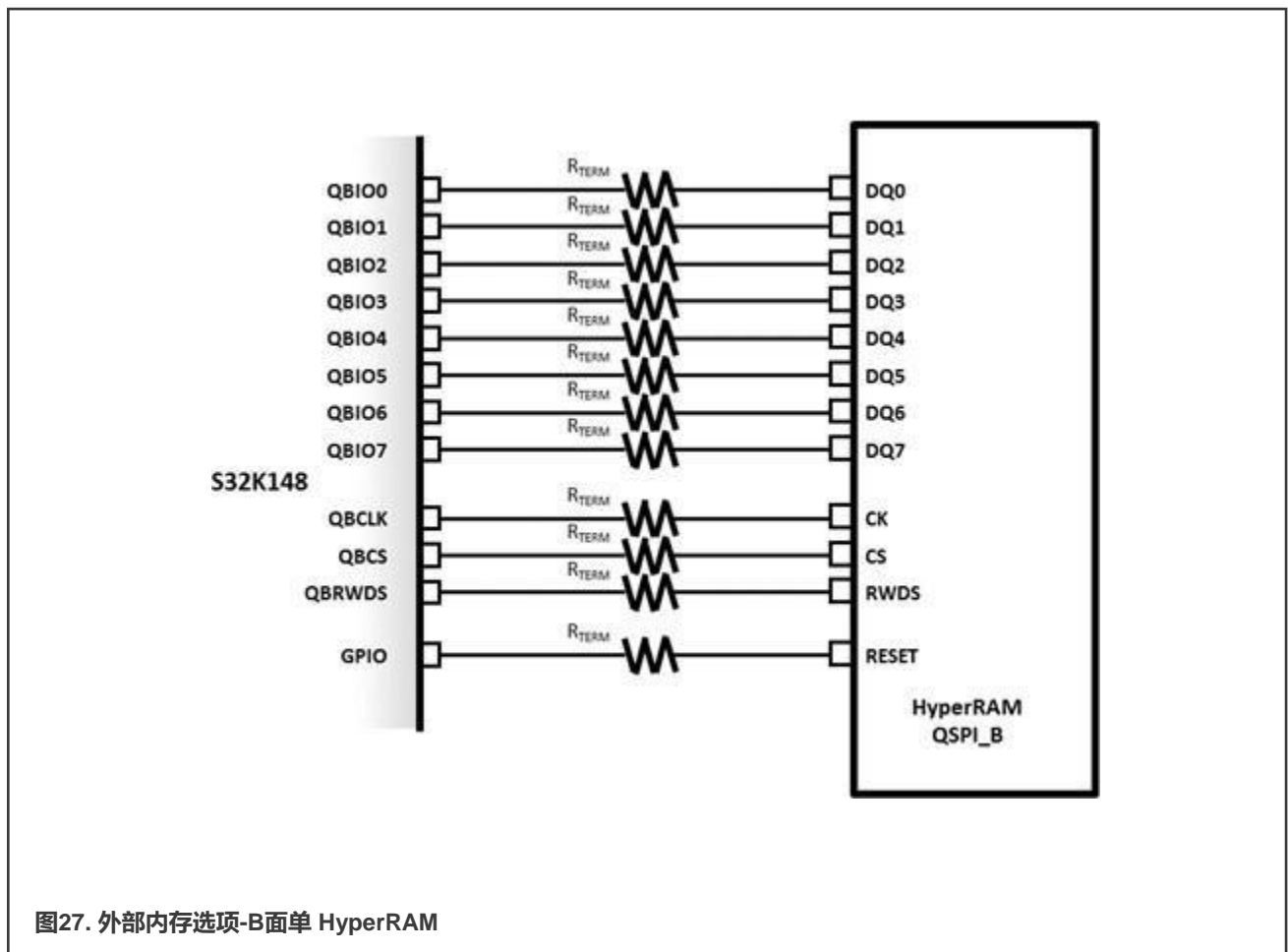
S32K1xx 有一个 QuadSPI 模块。Quad Serial Peripheral Interface (QuadSPI) 模块用作外部串行闪存设备的接口。它分别支持多达4条和8条双向数据线的 SDR 和 HyperRAM 模式，分别最多 4 和 8 条双向数据线。QuadSPI 支持A面和B面。QuadSPI 的A面连接到快速端脚 (80mA)，而 B 面连接到20mA的端脚。有关操作值，请参阅数据表。

在任何给定的应用程序中只支持一个外部存储器，并且不允许同时运行 QuadSPI 的A面和B面。因此，可以支持以下外部存储器选项：

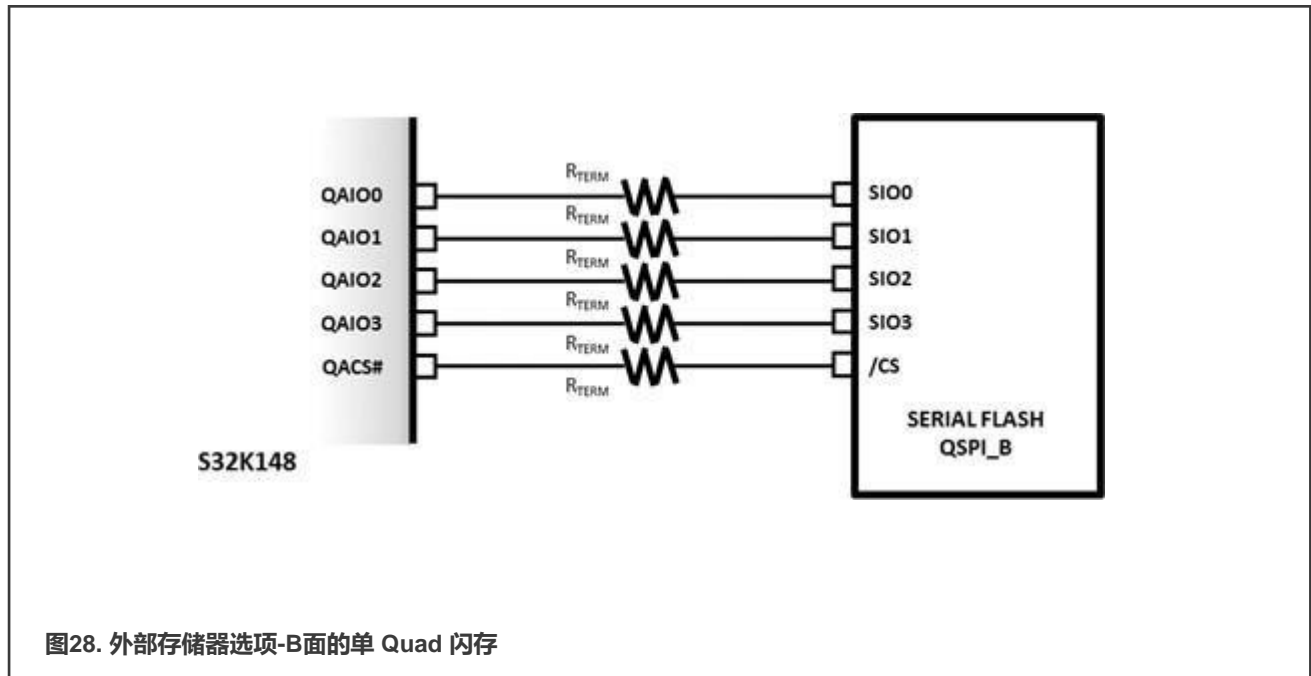
- A面的单Quad闪存



- B面的单个 HyperRAM

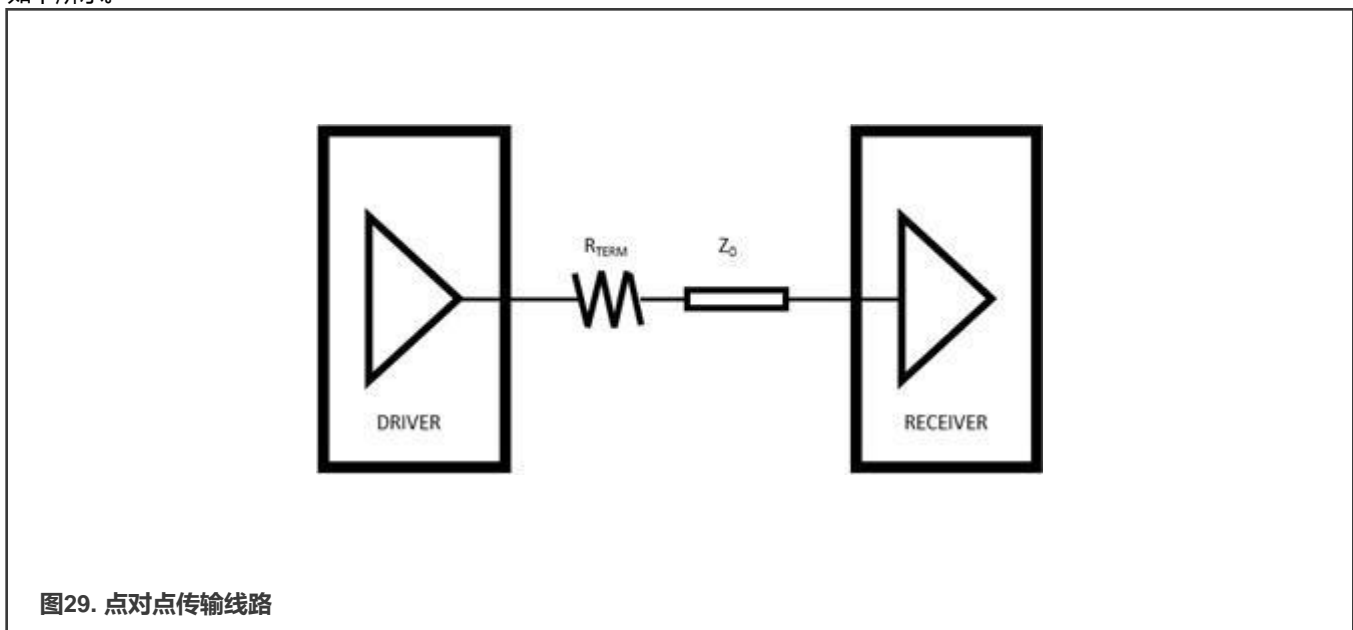


- B面的单 Quad 闪存。



数据和时钟信号终端：随着微处理器的速度和性能提高到更高的极限，时钟的生成和分发变得更加困难。需要有受控和精确的时钟分配技术来维护一个同步系统。时钟信号的质量和偏斜是分配时钟信号的两个主要问题。随着更高的频率和相关的快速边缘速率，长走线的行为类似于传输线。回环、超调和下冲的发生是传输线路不良终端的结果。它们会导致信号质量差、错误切换，而且在极端情况下还会造成损害。

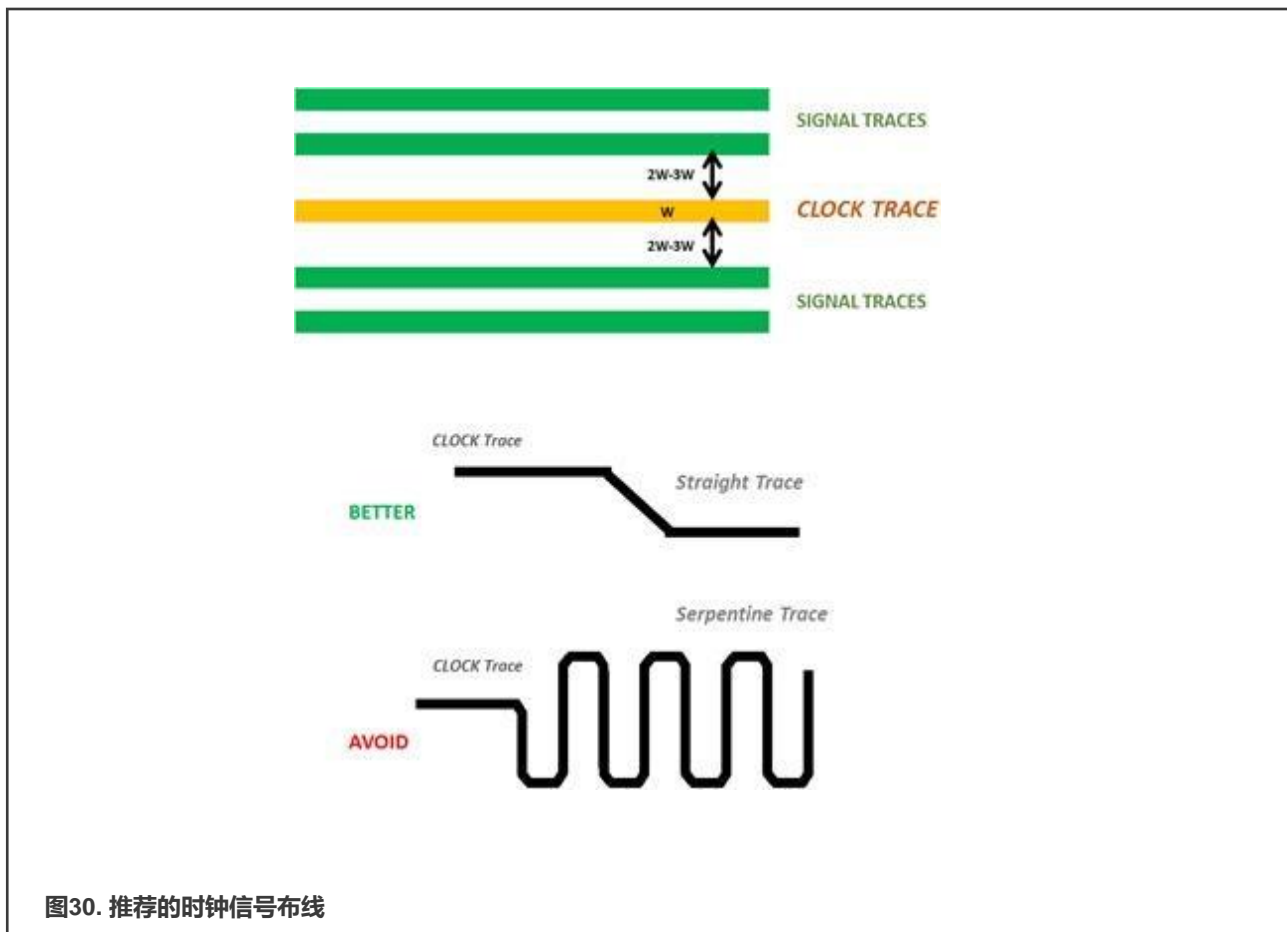
考虑到有效的输出驱动器强度为25-33欧姆，传输线特性阻抗为50欧姆，应在靠近输出驱动器附近添加终端电阻，以最小化反射，如下所示。



数据信号布线：为了保持数据从微控制器到IC存储器的传输的正确时序，PCB数据走线应与从微控制器到IC存储器的时钟走线的长度和时延相同。数据信号线应在阻抗受控的要求下进行布线，以减少信号反射。避免使用90°角的走线。建议在布线需要改变方向时，使用倒角并平滑走线。为进一步提高信号的完整性，数据走线应避免使用多个信号层。所有的信号走线都应该有一个连续和可靠的参考平面，即GND或VDD。

时钟信号布线：在高速同步数据传输中，PCB设计中良好的信号完整性至关重要，特别是对时钟信号、SCLK和DQS。在时钟信号布线时，应特别注意。建议采取以下做法。

- 运行时钟信号与所有其他信号走线至少保证走线线宽3倍的距离。这有助于保持时钟信号免受串扰噪声的影响。
- 对整个时钟信号路径上使用尽可能少的过孔。过孔会导致阻抗变化和信号反射。
- 所有信号走线都应该有一个可靠的参考平面，无论是 GND 还是 VCC。
- 时钟走线尽可能笔直，避免使用蛇形布线。
- 在信号的下一层保持连续的地平面作为参考平面。
- 布时钟走线时阻抗要受控。
- 使用更宽的间距将时钟信号与其他信号分开，以防止时钟信号受到干扰或串扰。数据总线的布线长度应与时钟参考相匹配。推荐匹配长度在±50密耳以内。



8 未使用的引脚

下表描述了未使用的引脚的选项和配置，以及 MCU 的其他模块和部分的注意事项。

表12. S32K1xx-已使用的引脚配置

模块	引脚名称	功能	建议
GPIO	PTx ¹	ENETx	未使用的引脚应不连接，或在外部连接到VSS/GND。
		FTMx	
		FlexIOx	
		CANx	
		LPUARTx	
		LPI2Cx	
		ADCx	
		CMPx	
	Others		
	PTB6	XTAL	具有XTAL和EXTAL功能的引脚应保持不连接，或从外部连接到VSS/GND。 ^{2,3}
	PTB7	EXTAL	
JTAG	PTA4	JTAG_TMS/SWD_DIO	具有JTAG功能的引脚应不连接。为了增加调试器连接鲁棒性，建议增加外接电阻替换内部弱上拉（TDI、TDO和TMS）或下拉电阻（TCK）。请参考 调试和编程接口 。
	PTA10	JTAG_TDO/SW_DO	
	PTC5	JTAG_TDI	
	PTC4	JTAG_TCK/SWD_CLK	
RESET	PTA5	PTA5/TCLK1/RESET_b	复位引脚不应不连接。请参阅 复位系统 。
POWER	VDDx	VDD	没有电源脚空着不连接。VDDx和VDDA/VREFH必须在外通过PCB接到共同的参考平面。适当的退耦电容器将用于过滤电源上的噪声。请参阅 电源供电 。

表格在下一页继续.....

表12. S32K1xx-已使用的引脚配置 (续)

模块	引脚名称	功能	建议
	VSSx	VSS	没有接地引脚空着不连接。 所有VSSx和VREFL必须在外部短接在一起并接到公共GND。
<ul style="list-style-type: none"> 如果未使用的引脚连接到VSS/GND，并且引脚无意中配置为以高逻辑状态输出，那么可能会有一个路径上有大幅增加电流并在MCU中造成重大损坏。 			

1. 引脚内部已连接和未连接。
2. 对于未使用的数字和模拟引脚，应通过设置相应的引脚功能将其设置为DISABLED
3. PORTx_PCRn[MUX] 字段设为 0b000。禁用功能是所有未初始化引脚的默认状态。对于具有 ADC 功能的引脚，软件不应在未使用引脚多路复用的通道上触发 ADC 通道转换。对于具有 CMP 功能的引脚，软件不应使能连接到未使用引脚的 CMP 通道。

9 CAD/CAE 原理图符号和 PCB 封装

单个微控制器符号和封装可在[恩智浦官网](#)以中立的 BXL 格式供供应商下载，然后可以使用 Ultra Librarian Free Reader 导出到常用的EDA CAD/CAE 设计工具。

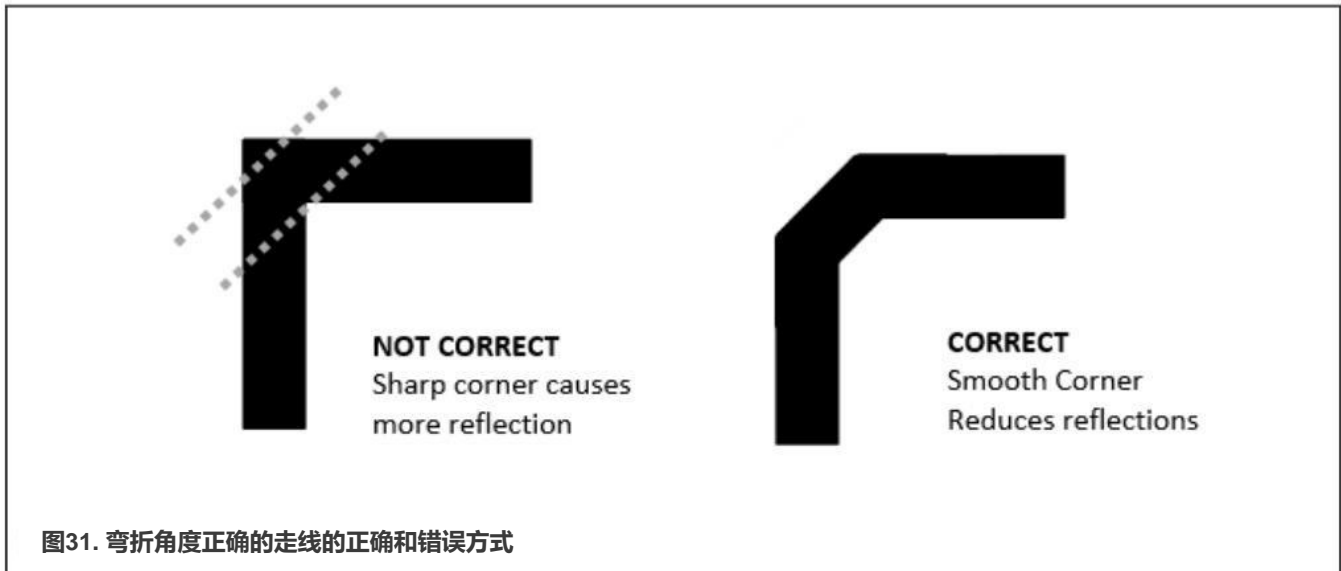
表13. CAD/CAE 原理图符号和 PCB 封装

CAD/EDA原理图符号格式	CAD PCB 封装格式
<ul style="list-style-type: none"> • Altium PCAD (可由Altium Designer导入) • Cadence Allegro DE HDL (Concept) • Cadence Orcad Capture • Eagle • Mentor DxDesigner • Mentor Design Capture • Mentor Design Architect • Mentor PowerLogic • Target 3001 • Zuken Cadstar 	<ul style="list-style-type: none"> • Altium PCAD (可由 Altium Designer导入) • Cadence Orcad Layout • Cadence Orcad PCB Editor • Cadence Allegro • Eagle • Mentor Boardstation • Mentor PowerPCB (PADS) • Mentor Expedition • Target 3001 • Zuken Cadstar

10 通用电路板布板指南

10.1 布线建议

布线中的直角会引起更多的辐射。拐角区域的电容增加，特征阻抗发生变化。这种阻抗的变化会引起反射。应避免在轨迹中出现直角弯曲，尝试用至少两个45°倒角。为了最优化任何阻抗的变化，最佳的布线将是一个圆弯，如 [图31](#) 所示。



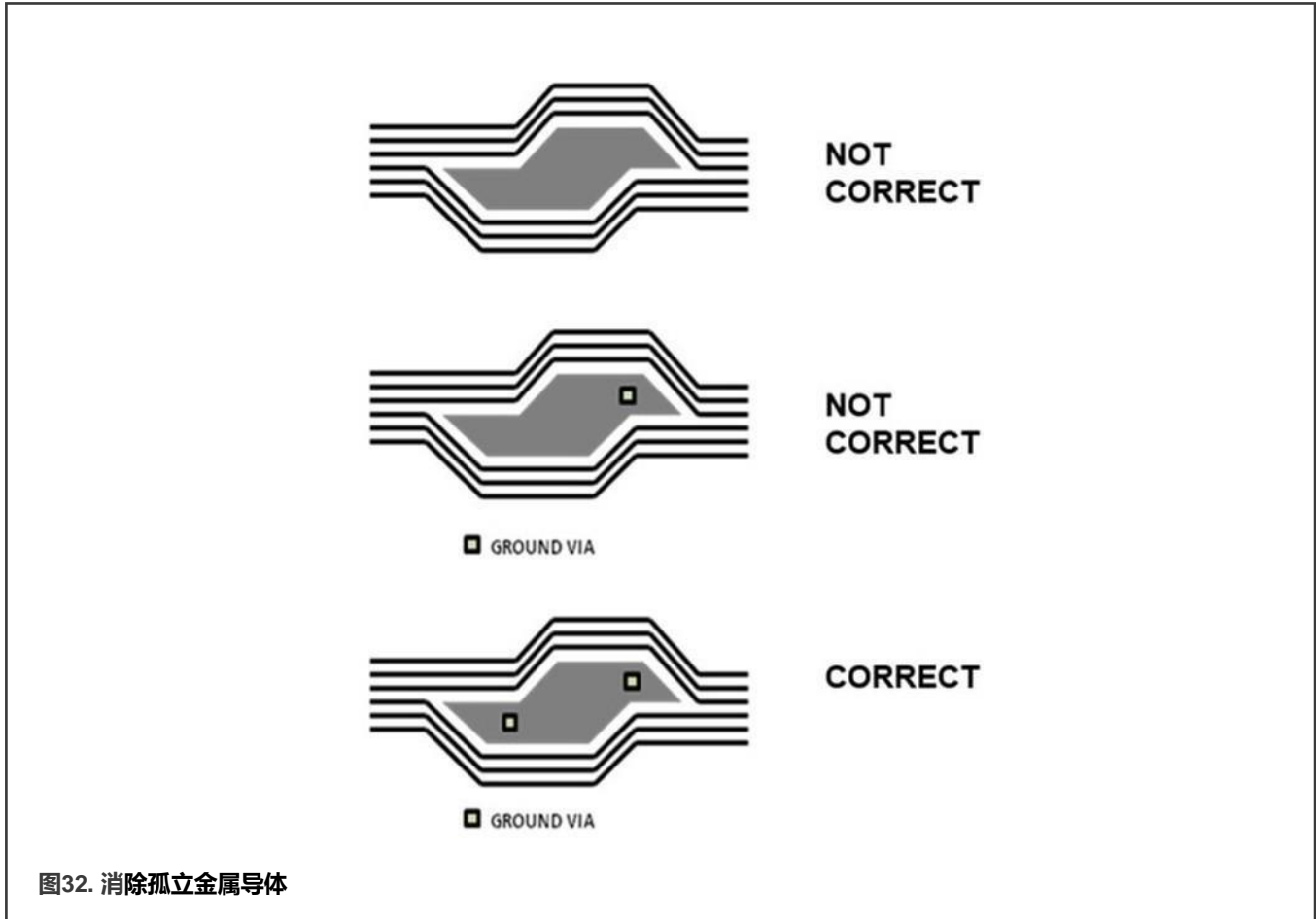
为了最大限度地减少串扰，不仅在同一层上的两个信号之间，而且在相邻层之间，将它们彼此部成 90°走线。

复杂的电路板在布线时需要使用过孔；使用它们时必须小心。这些过孔增加了额外的电容和电感，并且由于特征阻抗的变化而发生反射。过孔还会增加走线长度。排布差分信号时，在两条走线上使用相同数量的过孔或补偿另一条走线上的延迟。

10.2 接地

接地技术同时适用于多层和单层 PCB。接地技术的目的是最小化接地阻抗，从而减少潜在的从供电返回的接地回路。

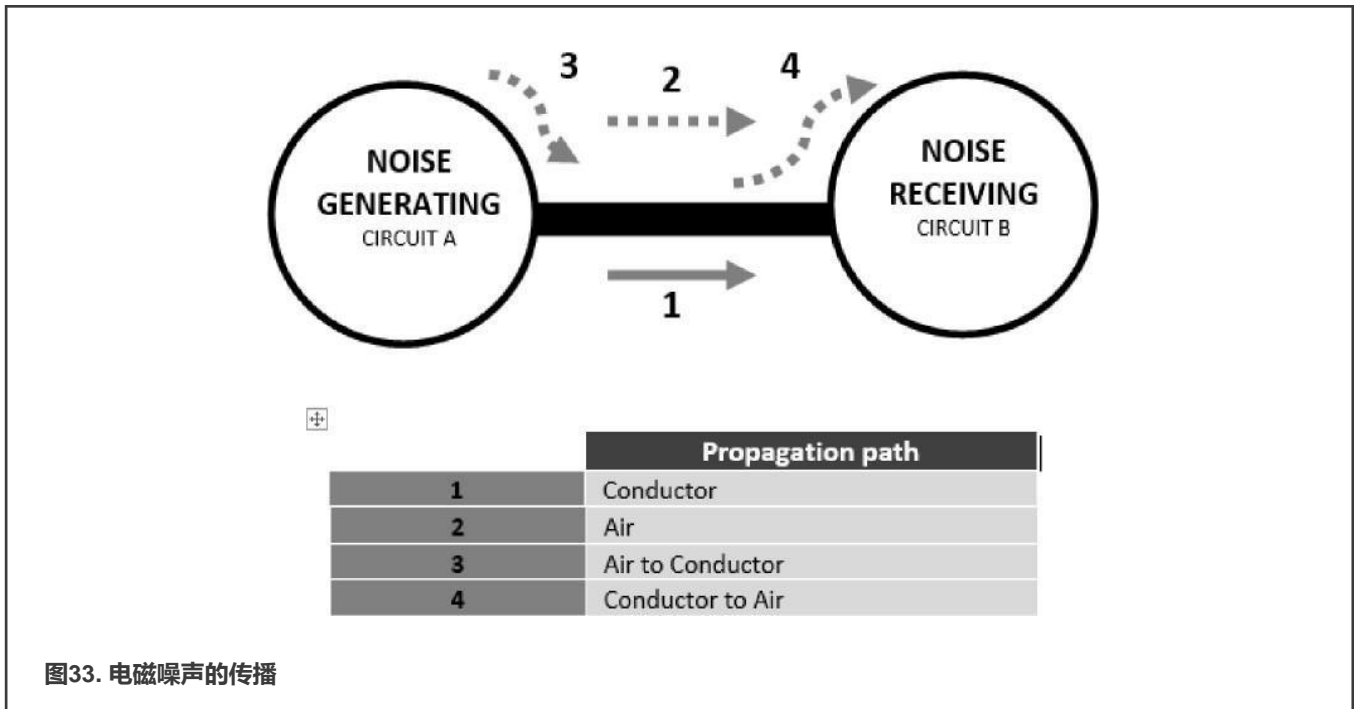
- 在可靠的地平面上排布高速信号。
- 不要将地平面分割成模拟、数字和电源引脚的单独平面。建议采用单一和连续的地平面。
- 在靠近微控制器管脚的任何区域附近都不应该有任何形式的孤立金属导体。在信号平面未使用的区域填充铜箔，用过孔将这些铜连接到地平面。



10.3 布板时对 EMI/EMC 和 ESD 的考虑事项

这些注意事项对于所有系统和电路板设计都很重要。尽管这背后的理论得到了很好的解释，但每个电路板和系统都以自己的方式体验到这一点。涉及到许多与PCB和元器件相关的变数。

本应用笔记不涉及电磁理论或解释用于对抗其影响的不同技术原因，但它考虑了对CMOS电路的影响和解决方案的最佳推荐。EMI是干扰电子器件运行的射频能量。这种射频能量可以由器件本身或附近的其他器件产生。为您的系统研究EMC可以测试您的系统成功运行的能力，以抵消来自其周边器件和系统的计划外电磁干扰的影响。电磁噪声或干扰通过两种介质传播：传导和辐射。



设计考虑范围缩小为：

- 来自电路板的辐射和传导的电磁干扰应低于您所遵循的标准所允许的水平。
- 电路板成功抵消周边其他系统的辐射和传导电磁能量（EMC）的能力。

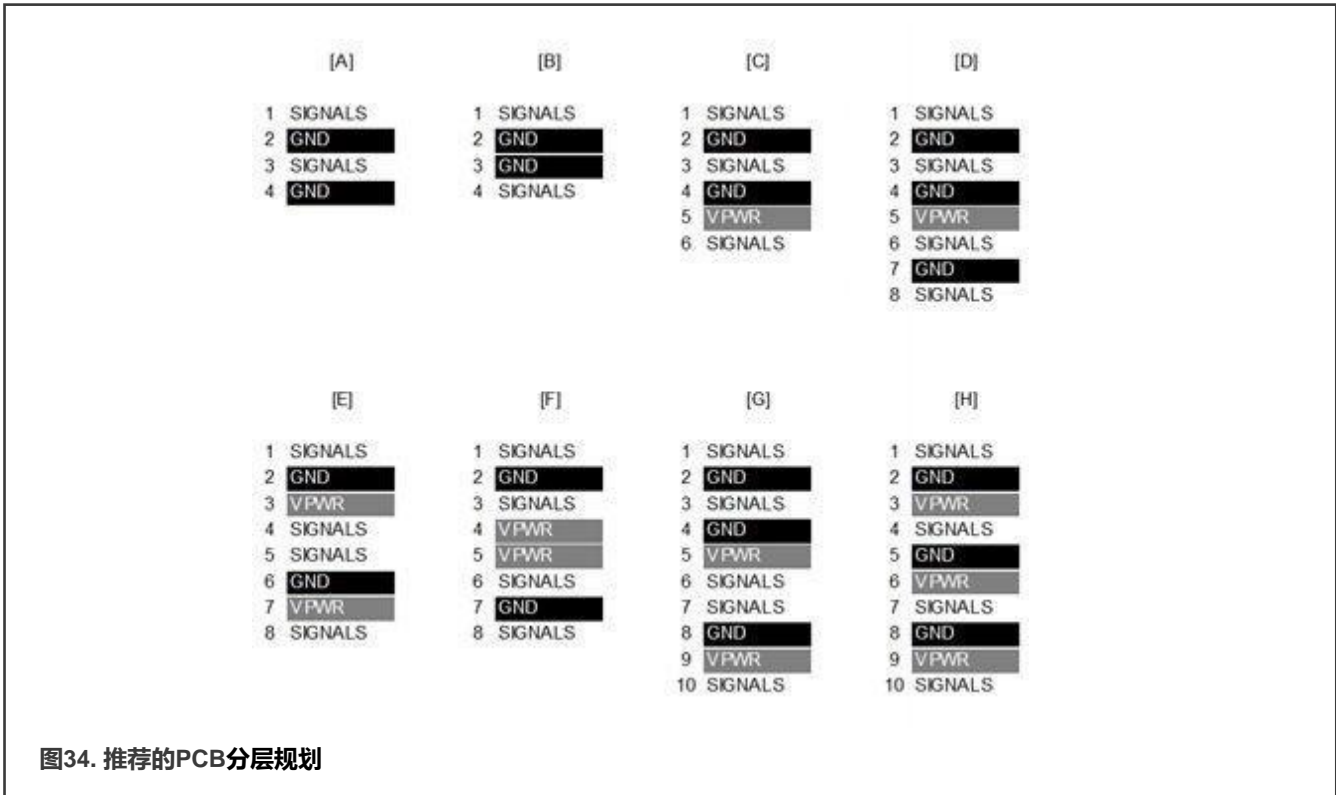
系统的 EMI 源由多个组件组成，例如 PCB、连接器、电缆等。PCB 在辐射高频噪声方面起着主要作用。在更高的频率和快速切换的电流和电压下，PCB 走线成为辐射电磁能量的有效天线；例如，一个大的信号回路和相应的地。有五个主要的辐射源是：在走线上传播的数字信号、电流返回回路区域、电源滤波或退耦不足、传输线影响以及电源供电不足和地平面。快速开关时钟、外部总线和 PWM 信号用作控制输出和开关电源。电源是造成 EMI 的另一个主要因素。射频信号可以从电路板的一个部分扩散到另一部分造成 EMI。开关电源辐射的能量可能使你无法通过 EMI 测试。这是一个庞大的主题，有许多书籍、文章和白皮书详细介绍了其背后的理论以及对抗其影响的设计标准。

就 EMI/EMC 和 ESD 问题而言，每个电路板或系统都是不同的，需要各自的解决方案。然而，减少不需要的电磁能量的共同指导方针如下所示：

- 确保电源的供电额定值适合该应用，并对退耦电容器进行优化。
- 在电源上提供足够的滤波电容器。大容量/旁路和退耦电容器应具有低等效串联电感（ESL）。
- 如果在布线层上有可用的空间，应创建地平面。用过孔将这些离散的地平面区域连接到主地平面。
- 保持电流回路尽可能小。添加尽可能多的退耦电容器。始终应用当前的返回规则以减少回路面积。
- 保持高速信号远离其他信号，特别要远离输入和输出端口或连接器。

11 PCB分层规划

为了达到信号的完整性和性能要求，建议至少使用四层PCB来实现以太网的应用和系统。建议对四层、六层和八层板进行以下的分层规划，尽管也有其他选项。



12 注入电流

所有引脚都有保护二极管，以防止静电放电（ESD）。微控制器的这些内部 ESD 二极管仅设计用于短放电脉冲，并且它们不会随着时间的推移维持恒定电流。因此，直流电气参数中规定了在最大连续电压下的压降，最高输入电压不应高于 $V_{DDx} + 0.3V$ ，并且应按照器件数据表中的定义进行电流注入的限制。换句话说，输入信号的电压和电流必须在允许的电气参数范围内。违反这些规范的结果会导致 MCU 出现意外行为、操作卡顿或损坏。

当 MCU 处于未通电状态时，通过芯片引脚注入的电流可能会偏置内部芯片结构（例如 ESD 二极管），并通过无意的路径错误地为这些内部结构加电。这种残余电压的存在可能会以不可预测的方式影响不同的芯片内部区块，并可能最终导致不可预测的芯片行为（例如，未置位 POR 标志）。一旦处于非法状态，进一步给芯片加电然后应用复位将清除非法状态。在绝对的最大额定值方面为芯片指明了允许的注入电流大小，表示内部电路在不造成物理损坏的情况下承受这种条件的能力。

如需更多参考，请参见 [AN4731](#)。

13 参考资料

- [Crystal Oscillator Troubleshooting Guide - NXP Semiconductors](#)
- [AN2049 Some Characteristics and Design Notes for Crystal Feedback ...](#)
- [AN10853 ESD and EMC sensitivity of IC - NXP Semiconductors](#)

- AN2321: Designing for Board Level Electromagnetic Compatibility - NXP Semiconductors
- AN10897 A guide to designing for ESD and EMC

14 修订历史

表14. 修订历史

修订编号	日期	子节更改
0	03/2017	初始发布
1	06/2017	<ol style="list-style-type: none"> 1. 在 #unique_2/unique_2_Connect_42_TABLE_YJM_2YD_CZ 中，在表中添加了脚注。 2. 在时钟电路中，快速内参考时钟的值从48-60MHz更改为48MHz，外部方波输入时钟值从60MHz改为50MHz。 3. 在#unique_8/unique_8_Connect_42_TABLE_WGL_5Z_D_CZ中删除了这行（如果不是由MCU）。 4. 外部引脚复位已从“当复位时”开始更改为：开漏输出至复位管脚.....输出阶段。 5. 在电源系统#unique_37中已更新。 6. 在时钟电路中当使用外部振荡器.....外部振荡器的频率范围从4-40MHz，更改为8-40MHz。 7. 新增一章模拟比较器接口。
2	02/2018	<ol style="list-style-type: none"> 1. 更新了表#unique_2/unique_2_Connect_42_TABLE_YJM_2YD_CZ。 2. 添加以下部分：Quad串行外设接口、注入电流、PCB分层规划、以太网MAC接口。
3	12/2018	<ol style="list-style-type: none"> 1. 已更新的#unique_2/unique_2_Connect_42_FIG_O2X_ZXD_CZ。 2. 在调试和编程接口中删除了文本“通常，MCU不包括JTAG/SWD引脚上的上拉或下拉电阻”。 3. 在外部引脚复位中删除了“在样机设计中的段落建议使用330pF”并补充道：“复位线有一个拉提高电阻器值”和“尽管有电容在.....检测到MCU”。

表格在下一页继续.....

表14. 修订历史 (续)

修订编号	日期	子节更改
		<ol style="list-style-type: none"> 4. 从#unique_8/中删除“需要的上拉/下拉”列 unique_8_Connect_42_TABLE_W1D_VLQ_DGB。 5. 在外部引脚复位中删除了图“复位电路”。 6. 更新了未使用的引脚，并添加了一个注释。
4	09/2019	<ol style="list-style-type: none"> 1. 添加文本“在S32K1xx中或损坏MCU”在电源系统。 2. 更新 图 9。 3. 删除了调试和编程接口中的最后一段。 4. 删除了文本“在此器件上复位.....设备从任何模式”在外部引脚复位。 5. 从“复位线已经更新了测试上拉电阻值”到“复位管脚管脚上允许的电流”在外部引脚复位。 6. 添加了一个表，并删除了未使用的引脚中的文本。 7. 添加了CAD/CAE原理图符号和PCB封装。 8. 完全更新的注入电流。 9. 从模拟比较器接口删除图通用窗定时图。 10. 添加了JTAG/SWD信号连接。 11. 在对振荡器电路的PCB布板的建议中增加了两个新的素材。 12. 将“VDD上电斜率”部分重命名为“MCU上电斜率”，并从“大容量和退耦电容器”部分移动图形。
6	12/2021	<ol style="list-style-type: none"> 1. 更新了 图 3。 2. “对振荡器电路的PCB布板的建议”删除了第一条，将 g_{merit} 修改为 g_{mcrnt}。

How To Reach Us

Home Page:

nxp.com

Web Support:

nxp.com/support

Information in this document is provided solely to enable system and software implementers to use NXP products. There are no express or implied copyright licenses granted hereunder to design or fabricate any integrated circuits based on the information in this document. NXP reserves the right to make changes without further notice to any products herein.

NXP makes no warranty, representation, or guarantee regarding the suitability of its products for any particular purpose, nor does NXP assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation consequential or incidental damages. "Typical" parameters that may be provided in NXP data sheets and/or specifications can and do vary in different applications, and actual performance may vary over time. All operating parameters, including "typicals," must be validated for each customer application by customer's technical experts. NXP does not convey any license under its patent rights nor the rights of others. NXP sells products pursuant to standard terms and conditions of sale, which can be found at the following address: nxp.com/SalesTermsandConditions.

While NXP has implemented advanced security features, all products may be subject to unidentified vulnerabilities. Customers are responsible for the design and operation of their applications and products to reduce the effect of these vulnerabilities on customer's applications and products, and NXP accepts no liability for any vulnerability that is discovered. Customers should implement appropriate design and operating safeguards to minimize the risks associated with their applications and products.

NXP, the NXP logo, NXP SECURE CONNECTIONS FOR A SMARTER WORLD, COOLFLUX, EMBRACE, GREENCHIP, HITAG, I2C BUS, ICODE, JCOP, LIFE VIBES, MIFARE, MIFARE CLASSIC, MIFARE DESFire, MIFARE PLUS, MIFARE FLEX, MANTIS, MIFARE ULTRALIGHT, MIFARE4MOBILE, MIGLO, NTAG, ROADLINK, SMARTLX, SMARTMX, STARPLUG, TOPFET, TRENCHMOS, UCODE, Freescale, the Freescale logo, Altivec, C-5, CodeTEST, CodeWarrior, ColdFire, ColdFire+, C-Ware, the Energy Efficient Solutions logo, Kinetis, Layerscape, MagniV, mobileGT, PEG, PowerQUICC, Processor Expert, QorIQ, QorIQ Qonverge, Ready Play, SafeAssure, the SafeAssure logo, StarCore, Symphony, VortiQa, Vybrid, Airfast, BeeKit, BeeStack, CoreNet, Flexis, MXC, Platform in a Package, QUICC Engine, SMARTMOS, Tower, TurboLink, and UMEMS are trademarks of NXP B.V. All other product or service names are the property of their respective owners. AMBA, Arm, Arm7, Arm7TDMI, Arm9, Arm11, Artisan, big.LITTLE, Cordio, CoreLink, CoreSight, Cortex, DesignStart, DynamIQ, Jazelle, Keil, Mali, Mbed, Mbed Enabled, NEON, POP, RealView, SecurCore, Socrates, Thumb, TrustZone, ULINK, ULINK2, ULINK-ME, ULINK-PLUS, ULINKpro, μ Vision, Versatile are trademarks or registered trademarks of Arm Limited (or its subsidiaries) in the US and/or elsewhere. The related technology may be protected by any or all of patents, copyrights, designs and trade secrets. All rights reserved. Oracle and Java are registered trademarks of Oracle and/or its affiliates. The Power Architecture and Power.org word marks and the Power and Power.org logos and related marks are trademarks and service marks licensed by Power.org.

© NXP B.V. 2021.

All rights reserved.

For more information, please visit: <http://www.nxp.com>

For sales office addresses, please send an email to: salesaddresses@nxp.com

Date of release: December, 2021

Document identifier: AN5426

